

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年6月12日 (12.06.2003)

PCT

(10) 国際公開番号
WO 03/049188 A1

(51) 国際特許分類⁷: H01L 27/088

東京都青梅市新町六丁目16番地の3株式会社日立製作所 デバイス開発センタ内 Tokyo (JP).

(21) 国際出願番号: PCT/JP01/10492

(22) 国際出願日: 2001年11月30日 (30.11.2001)

(74) 代理人: 筒井大和(TSUTSUI, Yamato); 〒160-0023 東京都新宿区西新宿8丁目1番1号 アゼリアビル3階 筒井国際特許事務所 Tokyo (JP).

(25) 国際出願の言語: 日本語

(81) 指定国 (国内): CN, JP, KR, SG, US.

(26) 国際公開の言語: 日本語

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).

添付公開書類:
— 国際調査報告書

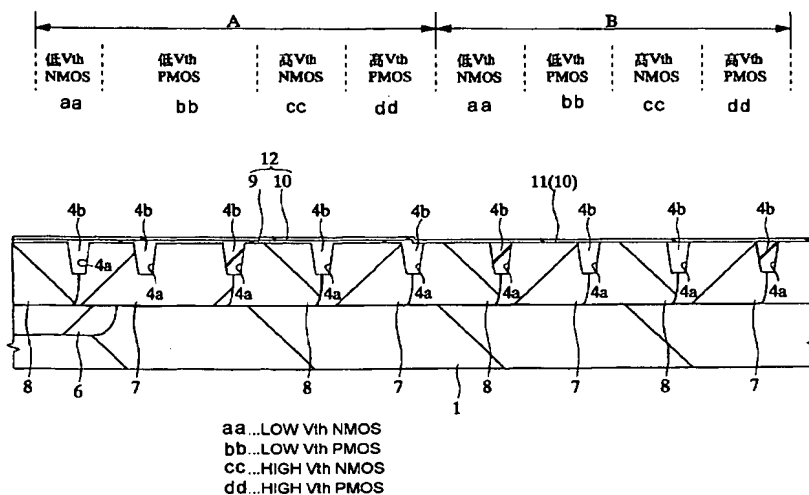
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 酒井 哲 (SAKAI, Satoshi) [JP/JP]. 平岩 篤 (HIRAIWA, Atsushi) [JP/JP]. 山本智志 (YAMAMOTO, Satoshi) [JP/JP]; 〒198-8512

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体集積回路装置およびその製造方法



aa...LOW Vth NMOS
bb...LOW Vth PMOS
cc...HIGH Vth NMOS
dd...HIGH Vth PMOS

(57) Abstract: After a silicon oxide film (9) is formed on the surface of a semiconductor substrate (1), the silicon oxide film (9) in the region in which a gate insulating film having a small effective thickness is to be formed is removed with an aqueous solution of hydrofluoric acid, and an insulating film (10) of a high dielectric constant is then formed over the semiconductor substrate (1). Thus, over this semiconductor substrate (1), there are formed two gate insulating films: a gate insulating film (12) formed of a multilayer film of the high-dielectric constant insulating film (10) and the silicon oxide film (9); and a gate insulating film (11) of the high-dielectric constant insulating

film (10).

[続葉有]

THIS PAGE BLANK (USF.0)



03/049188 A1

(57) 要約:

シリコン酸化膜（９）を半導体基板（１）の表面に形成した後、実効膜厚が薄いゲート絶縁膜が形成される領域のシリコン酸化膜（９）をフッ酸水溶液を用いて除去し、その後半導体基板（１）上に高誘電率絶縁膜（１０）を形成することにより、高誘電率絶縁膜（１０）とシリコン酸化膜（９）との積層膜からなるゲート絶縁膜（１２）、および高誘電率絶縁膜（１０）からなるゲート絶縁膜（１１）の２種類のゲート絶縁膜を半導体基板（１）上に形成する。

----- L -----

THIS PAGE BLANK (USP 10)

明 細 書

半導体集積回路装置およびその製造方法

5 技術分野

本発明は、半導体集積回路装置の製造技術に関し、特に、たとえばゲート絶縁膜の厚さが互いに異なる複数種類のMIS (metal insulator semiconductor) トランジスタを内蔵する半導体集積回路装置に適用して有効な技術に関するものである。

10

背景技術

半導体集積回路装置の高集積化、低電力化を図るために半導体デバイスの動作電圧は世代毎に減少しており、その際、デバイス性能を維持、向上させるためにMIS トランジスタはスケーリング則に従い微細化され、ゲート絶縁膜も縮小されてきた。しかし、一方で、たとえば消費電力の低減、記憶情報の保持、または外部電源電圧への対応などから、ゲート絶縁膜の厚さが相対的に厚いMIS トランジスタも必要とされている。たとえばメモリLSI (large scale integrated circuit) またはCMOS (complementary metal oxide semiconductor) 論理LSI などでは、内部回路と入出力回路とで動作電圧が異なることから、ゲート絶縁膜の厚さが互いに異なる複数種類のMIS トランジスタが同一基板上に形成されている。

15

特開2001-15612号公報などには、厚さが互いに異なる2種類のシリコン酸化膜を同一基板上に形成し、これらをMIS トランジスタのゲート絶縁膜とする技術が記載されている。

20

ところで、ゲート電極の幅 (以下、ゲート長と記す) が $0.1\mu\text{m}$ 以下のMIS トランジスタにおいては、ゲート絶縁膜の厚さは、 1.2nm 以下になると予想される。しかし、ゲート絶縁膜として従来から用いられているシリコン酸化膜を 1.2nm 以下にするとリーク電流が $10\text{A}/\text{cm}^2$ を越えて、たとえばスタンバイ

THIS PAGE BLANK (USP:U)

電流が増加するという問題などが生ずる。

そこで、比誘電率が相対的に高い絶縁膜（以下、高誘電率絶縁膜と記す）、たとえば比誘電率が7程度のアルミナ膜（ Al_2O_3 ）をゲート絶縁膜として用い、物理膜厚を2 nm以上に保ったまま実効膜厚を縮小する試みがなされている。実効膜厚とは、比誘電率を考慮したシリコン酸化（ SiO_2 ）換算膜厚のことである。

本発明者は、厚さが互いに異なる2種類のゲート絶縁膜に高誘電率絶縁膜を適用し、それぞれのゲート絶縁膜で構成された2種類のMISトランジスタの形成技術について検討した。以下は、本発明者によって検討された技術であり、その概要は次のとおりである。

まず、基板上に第1高誘電率絶縁膜を形成し、その後レジスト膜をマスクとして第1領域の上記第1高誘電率絶縁膜を除去する。次いでレジスト膜を除去した後、基板に洗浄処理を施し、さらに基板上に第2高誘電率絶縁膜を形成する。これにより、第1領域には第2高誘電率絶縁膜からなる薄いゲート絶縁膜が形成され、第1領域とは異なる第2領域には第1および第2高誘電率絶縁膜からなる厚いゲート絶縁膜が形成される。その後、ゲート、ソース・ドレイン、さらに配線を形成することにより第1領域に薄いゲート絶縁膜を有するMISトランジスタ、第2領域に厚いゲート絶縁膜を有するMISトランジスタが形成される。

しかしながら、前記MISトランジスタの形成方法では、以下の問題点が生ずることが明らかとなった。

（1）第1領域と第2領域とでゲート絶縁膜の厚さの違いから約20 nm以上の段差が生じた場合、後のゲートの形成工程または配線を通す開口の形成工程などにおいて不具合が生ずる。

（2）基板およびレジスト膜に対して高い選択比を有し、かつ基板へのエッチングダメージまたは汚染のない高誘電率絶縁膜のエッチング技術の新たな開発が必要である。

本発明の目的は、ゲート絶縁膜の厚さが互いに異なる複数種類のMISトランジスタを内蔵する半導体集積回路装置において、信頼度の高いゲート絶縁膜を形

THIS PAGE BLANK (USP 10)

成すると同時に、M I S トランジスタの製造を容易とすることのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

5

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

本発明の半導体集積回路装置は、半導体基板内に形成された一対の第 1 半導体領域と、一対の第 1 半導体領域の間の領域であって、半導体基板上に第 1 ゲート絶縁膜を介して形成された第 1 導体片とを有する第 1 M I S トランジスタと、半導体基板内に形成された一対の第 2 半導体領域と、一対の第 2 半導体領域の間の領域であって、半導体基板上に第 2 ゲート絶縁膜を介して形成された第 2 導体片とを有する第 2 M I S トランジスタとを有し、第 1 ゲート絶縁膜の厚さは第 2 ゲート絶縁膜の厚さよりも大であり、第 1 ゲート絶縁膜は半導体基板上に位置する第 1 絶縁膜と、第 1 絶縁膜上に位置する第 2 絶縁膜とからなり、第 2 ゲート絶縁膜は半導体基板上に位置する第 3 絶縁膜からなり、第 2 および第 3 絶縁膜の比誘電率を第 1 絶縁膜の比誘電率よりも大とするものである。

本発明の半導体集積回路装置の製造方法は、半導体基板の第 1 領域、および第 1 領域とは異なる第 2 領域において、半導体基板の表面に第 1 絶縁膜を形成する工程と、第 1 領域の第 1 絶縁膜は残した状態で、第 2 領域の第 1 絶縁膜を選択的に除去する工程と、第 1 領域の第 1 絶縁膜上および第 2 領域の半導体基板上に第 2 絶縁膜を形成する工程と、第 2 絶縁膜上に第 1 導体層を形成する工程と、第 1 導体層をパターニングすることにより、第 1 領域に第 1 導体片を、第 2 領域に第 2 導体片を形成する工程と、第 1 および第 2 導体片の両側の半導体基板の表面に第 1 半導体領域を形成するために第 1 導電型の第 1 不純物を導入する工程と、第 1 および第 2 導体片の上および側壁に第 3 絶縁膜を形成する工程と、第 3 絶縁膜に異方性エッチングを施し、第 1 導体片の側壁に第 1 側壁絶縁膜を、第 2 導体片

THIS PAGE BLANK (USP: 0)

の側壁に第2側壁絶縁膜を形成する工程と、第1および第2側壁絶縁膜の両側の半導体基板の表面に第2半導体領域を形成するために第1導電型の第2不純物を導入する工程とを有するものである。

5 図面の簡単な説明

図1は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図2は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

10 図3は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図4は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

15 図5は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図6は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図7は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

20 図8は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図9は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

25 図10は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図11は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図12は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例

THIS PAGE BLANK (USP, U)

を工程順に示す半導体基板の要部断面図である。

図 1 3 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 1 4 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例
5 を工程順に示す半導体基板の要部断面図である。

図 1 5 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 1 6 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

10 図 1 7 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 1 8 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 1 9 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例
15 を工程順に示す半導体基板の要部断面図である。

図 2 0 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 2 1 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

20 図 2 2 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 2 3 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 2 4 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例
25 を工程順に示す半導体基板の要部断面図である。

図 2 5 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 2 6 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例

THIS PAGE BLANK (US: 10)

を工程順に示す半導体基板の要部断面図である。

図 27 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 28 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例
5 を工程順に示す半導体基板の要部断面図である。

図 29 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 30 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

10 図 31 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 32 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 33 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例
15 を工程順に示す半導体基板の要部断面図である。

図 34 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 35 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

20 図 36 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 37 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 38 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例
25 を工程順に示す半導体基板の要部断面図である。

図 39 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示す半導体基板の要部断面図である。

図 40 は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例

THIS PAGE BLANK (USP 10)

を工程順に示す半導体基板の要部断面図である。

図41は、本発明の一実施の形態を適用したCMOSインバータの一例を示す等価回路図である。

図42は、本発明の一実施の形態を適用した集積回路装置の一例を示す回路ブロック図である。

図43は、I/O回路における厚いゲート絶縁膜を使用したインバータの一例を示す等価回路図である。

図44は、主回路における薄いゲート絶縁膜を使用したインバータの一例を示す等価回路図である。

図45は、メモリセルアレイを構成するメモリセルの一例を示す等価回路図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

本発明の一実施の形態である半導体集積回路装置の製造方法の一例を図1～図40に示した半導体基板の要部断面図を用いて工程順に説明する。図中、領域Aは、実効膜厚が厚いゲート絶縁膜が形成される領域、領域Bは、実効膜厚が薄いゲート絶縁膜が形成される領域である。また、領域A、Bには、それぞれしきい値電圧（以下、 V_{th} と記す）が低いnチャネルMISトランジスタ（以下、低 V_{th} NMOSと記す）、 V_{th} が低いpチャネルMISトランジスタ（以下、低 V_{th} PMOSと記す）、 V_{th} が高いnチャネルMISトランジスタ（以下、高 V_{th} NMOSと記す）、 V_{th} が高いpチャネルMISトランジスタ（以下、高 V_{th} PMOSと記す）が形成され、すなわち同一基板上には8種類のMISトランジスタが形成される。

まず、図1に示すように、たとえばp型のシリコン単結晶からなる半導体基板1を用意する。次に、この半導体基板1を熱酸化してその表面に厚さ $0.01\mu\text{m}$

THIS PAGE BLANK (US: 1.0)

程度の薄いシリコン酸化膜 2 を形成し、次いでその上層に C V D (chemical vapor deposition) 法で厚さ $0.1\text{ }\mu\text{m}$ 程度のシリコン窒化膜 3 を堆積する。

この後、図 2 に示すように、シリコン窒化膜 3 上にレジストパターン R P 1 を形成する。このレジストパターン R P 1 は通常のフォトリソグラフィ技術によって形成することができる。すなわち、レジストパターン R P 1 は、フォトレジスト膜を半導体基板 1 上に塗布した後、そのフォトレジスト膜に対して露光および現像処理を施すことにより形成されている。

次に、図 3 に示すように、レジストパターン R P 1 をマスクとしてシリコン窒化膜 3 をエッチングした後、レジストパターン R P 1 を除去する。次いで図 4 に示すように、パターンニングされたシリコン窒化膜 3 をマスクとしてシリコン酸化膜 2 および半導体基板 1 を順次ドライエッチングすることにより、素子分離領域の半導体基板 1 に深さ $0.35\text{ }\mu\text{m}$ 程度の素子分離溝 4 a を形成する。

次に、半導体基板 1 に熱酸化処理を施してシリコン酸化膜 (図示せず) を形成した後、図 5 に示すように、半導体基板 1 上に C V D 法でシリコン酸化膜 4 b を堆積する。

次に、図 6 に示すように、シリコン酸化膜 4 b を CMP (chemical mechanical polishing) 法で研磨して、素子分離溝 4 a の内部にシリコン酸化膜 4 b を残すことにより素子分離領域を形成する。その後、半導体基板 1 に約 1000°C の熱処理を施して、素子分離溝 4 a に埋め込んだシリコン酸化膜 4 b を焼き締めする。

次いで熱リン酸を用いてシリコン窒化膜 3 を除去し、続いてフッ酸系の水溶液を用いて半導体基板 1 の表面のシリコン酸化膜 2 を除去した後、半導体基板 1 を熱酸化して、半導体基板 1 の表面に保護膜 5 を形成する。

次に、図 7 に示すように、レジストパターン R P 2 をマスクとして半導体基板 1 に n 型不純物、たとえばリンをイオン注入してディープウェル 6 を形成する。

上記リンは、たとえば注入エネルギー $1\sim 3\text{ MeV}$ 、ドーズ量 $1\times 10^{12}\sim 5\times 10^{12}\text{ cm}^{-2}$ で注入される。

次に、レジストパターン R P 2 を除去した後、図 8 に示すように、領域 A, B の NMOS 形成領域をレジストパターン R P 3 で覆い、領域 A, B の PMOS 形

THIS PAGE BLANK (USPTO)

成領域にn型不純物、たとえばリンをイオン注入してnウェル7を形成する。上記リンは、たとえば注入エネルギー500～100keV、ドーズ量 $5 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ で注入され、エネルギーを変えて2、3回程度連続してイオン注入することにより、レトログレードウェルが形成される。

- 5 次に、レジストパターンRP3を除去した後、図9に示すように、領域A、BのPMOS形成領域をレジストパターンRP4で覆い、領域A、BのNMOS形成領域にp型不純物、たとえばボロンまたはフッ化ボロンをイオン注入してnウェル8を形成する。上記ボロンまたはフッ化ボロンは、たとえば注入エネルギー500～100keV、ドーズ量 $5 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ で注入され、
10 エネルギーを変えて2、3回連続してイオン注入することにより、レトログレードウェルが形成される。

- 次に、レジストパターンRP4を除去した後、MISトランジスタのV_{th}を調整するための不純物をnウェル7およびpウェル8のそれぞれのチャネル領域へイオン注入する。チャネル領域へのイオン注入は、たとえば以下のように行う
15 。

まず、図10に示すように、レジストパターンRP5をマスクとして領域Bの高V_{th}NMOS形成領域のチャネル領域にp型不純物、たとえばフッ化ボロンをイオン注入する。上記フッ化ボロンは、たとえば注入エネルギー25keV、ドーズ量 $2.5 \times 10^{13} \text{ cm}^{-2}$ で注入される。

- 20 続いてレジストパターンRP5を除去した後、図11に示すように、レジストパターンRP6をマスクとして領域Bの高V_{th}PMOS形成領域のチャネル領域にn型不純物、たとえばリンをイオン注入する。上記リンは、たとえば注入エネルギー20keV、ドーズ量 $1.1 \times 10^{13} \text{ cm}^{-2}$ で注入される。

- 続いてレジストパターンRP6を除去した後、図12に示すように、レジスト
25 パターンRP7をマスクとして領域Aの高V_{th}NMOS形成領域のチャネル領域にp型不純物、たとえばフッ化ボロンをイオン注入する。上記フッ化ボロンは、たとえば注入エネルギー25keV、ドーズ量 $8 \times 10^{12} \text{ cm}^{-2}$ で注入される。
。

THIS PAGE BLANK (USP 10)

続いてレジストパターンRP7を除去した後、図13に示すように、レジストパターンRP8をマスクとして領域Aの高 V_{th} PMOS形成領域のチャネル領域にn型不純物、たとえばリンをイオン注入する。上記リンは、たとえば注入エネルギー20keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ で注入される。

- 5 続いてレジストパターンRP8を除去した後、図14に示すように、レジストパターンRP9をマスクとして領域Aの低 V_{th} NMOS形成領域のチャネル領域にp型不純物、たとえばフッ化ボロンをイオン注入する。上記フッ化ボロンは、たとえば注入エネルギー25keV、ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ で注入される。

- 10 続いてレジストパターンRP9を除去した後、図15に示すように、レジストパターンRP10をマスクとして領域Aの低 V_{th} PMOS形成領域のチャネル領域にn型不純物、たとえばリンをイオン注入する。上記リンは、たとえば注入エネルギー20keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ で注入される。

- 次に、レジストパターンRP10を除去した後、図16に示すように、保護膜
15 5を除去し、半導体基板1の表面にシリコン酸化膜9を、たとえば4~5nm程度の厚さで形成する。シリコン酸化膜9は、たとえば熱CVD法または熱酸化法により形成することができる。なお、半導体基板1に熱窒化処理を施して、上記シリコン酸化膜9をシリコン酸窒化膜としてもよい。上記熱窒化処理は、たとえばプラズマ放電によってラジカル化した窒素を含む減圧雰囲気中に900℃程度
20 に加熱した半導体基板1を保持することによって行われる。

次に、図17に示すように、領域AをレジストパターンRP11で覆った後、図18に示すように、レジストパターンRP11をマスクとして、たとえばフッ酸系の水溶液を用いて領域Bのシリコン酸化膜9を除去する。その後、図19に示すように、レジストパターンRP11を除去する。

- 25 次に、図20に示すように、半導体基板1上に高誘電率絶縁膜10、たとえばアルミナ膜を形成する。高誘電率絶縁膜10は、たとえばスパッタ法により堆積することができる。半導体基板1上に形成された高誘電率絶縁膜10の厚さは実効膜厚で5nm程度となるように設定され、たとえばアルミナ膜の場合は、比誘

THIS PAGE BLANK (USP 10)

電率を考慮して10 nm程度堆積される。これにより、領域Bには、高誘電率絶縁膜10からなる実効膜厚が5 nm程度のゲート絶縁膜11が形成され、領域Aには、高誘電率絶縁膜10とシリコン酸化膜9との積層膜からなる実効膜厚が9 ~ 10 nm程度のゲート絶縁膜12が形成される。

- 5 なお、上記高誘電率絶縁膜10を半導体基板1上に形成する前に、半導体基板1との界面安定化のため、1 nm以下のシリコン酸化膜、シリコン窒化膜またはシリコン酸窒化膜を形成してもよい。

次に、図21に示すように、半導体基板1上に、たとえば200 nm程度の厚さのシリコン膜13をCVD法で堆積する。

- 10 次に、図22に示すように、領域A、BのNMOS形成領域にレジストパターンRP12を形成した後、このレジストパターンRP12をマスクとして領域A、BのPMOS形成領域のシリコン膜13にp型不純物、たとえばボロンをイオン注入する。

- 次に、レジストパターンRP12を除去し、続いて図23に示すように、領域
15 A、BのPMOS形成領域にレジストパターンRP13を形成した後、このレジストパターンRP13をマスクとして領域A、BのNMOS形成領域のシリコン膜13にn型不純物、たとえばリンをイオン注入する。

- 次いでレジストパターンRP13を除去した後、半導体基板1に、たとえば9
50°C、60秒程度の熱処理を施して、シリコン膜13に注入された上記n型不
20 純物およびp型不純物を活性化させ、さらに領域A、BのNMOS形成領域のシリコン膜13をn型シリコン多結晶膜に、領域A、BのPMOS形成領域のシリコン膜13をp型シリコン多結晶膜に変える。

- 次に、図24に示すように、半導体基板1上にシリコン酸化膜14をCVD法
で堆積した後、図25に示すように、nチャネルおよびpチャネルMISトラン
25 ジスタのゲート電極を形成するためのレジストパターンRP14を形成する。

次に、図26に示すように、レジストパターンRP14をマスクとしてシリコン酸化膜14をエッチングした後、レジストパターンRP14を除去する。続いて、図27に示すように、パターンニングされたシリコン酸化膜14をマスクとし

THIS PAGE BLANK (USPTO)

てシリコン膜 13 をエッチングして、領域 A、B の NMOS 形成領域に n 型シリコン多結晶膜からなるゲート電極（導体片）15 n、領域 A、B の PMOS 形成領域に p 型シリコン多結晶膜からなるゲート電極（導体片）15 p を形成する。

次に、図 28 に示すように、シリコン酸化膜 14 を除去した後、半導体基板 15 に、たとえば 800°C 程度のドライ酸化処理を施す。

次に、図 29 に示すように、レジストパターン RP 15 をマスクとして領域 A の PMOS 形成領域の n ウェル 7 に p 型不純物、たとえばフッ化ボロンをイオン注入し、ゲート電極 15 p の両側の n ウェル 7 に p 型拡張領域 16 a を形成し、続いて n 型不純物、たとえばリンをイオン注入し、パンチスルーストップ層として機能するハロー（Halo）層を形成する。上記フッ化ボロンは、たとえば注入エネルギー 2~3 keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、上記リンは、たとえば注入エネルギー 55 keV、ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ で注入される。

次に、レジストパターン RP 15 を除去した後、図 30 に示すように、レジストパターン RP 16 をマスクとして領域 A の NMOS 形成領域の p ウェル 8 に n 型不純物、たとえばヒ素をイオン注入して、ゲート電極 15 n の両側の p ウェル 8 に n 型拡張領域 17 a を形成し、続いて p 型不純物、たとえばボロンをイオン注入してハロー層を形成する。上記ヒ素は、たとえば注入エネルギー 5 keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 、上記ボロンは、たとえば注入エネルギー 20 keV、ドーズ量 $6 \times 10^{12} \text{ cm}^{-2}$ で注入される。

次に、レジストパターン RP 16 を除去した後、図 31 に示すように、レジストパターン RP 17 をマスクとして領域 B の PMOS 形成領域の n ウェル 7 に p 型不純物、たとえばフッ化ボロンをイオン注入して、ゲート電極 15 p の両側の n ウェル 7 に p 型拡張領域 16 b を形成し、続いて n 型不純物、たとえばリンをイオン注入しハロー層を形成する。上記フッ化ボロンは、たとえば注入エネルギー 2~3 keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、上記リンは、たとえば注入エネルギー 55 keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ で注入される。

次に、レジストパターン RP 17 を除去した後、図 32 に示すように、レジストパターン RP 18 をマスクとして領域 B の NMOS 形成領域の p ウェル 8 に n

THIS PAGE BLANK (USP 10)

型不純物、たとえばヒ素をイオン注入して、ゲート電極15nの両側のpウェル8にn型拡散領域17bを形成し、続いてp型不純物、たとえばボロンをイオン注入しハロー層を形成する。上記ヒ素は、たとえば注入エネルギー3keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 、上記ボロンは、たとえば注入エネルギー55keV、
5 ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ で注入される。

次に、レジストパターンRP18を除去した後、図33に示すように、半導体基板1上にシリコン酸化膜をCVD法で堆積し、続いてそのシリコン酸化膜を異方性エッチングすることにより、ゲート電極15n、15pの側壁にサイドウォール（側壁絶縁膜）18を形成する。上記異方性エッチングでは、高誘電率絶縁
10 膜10をエッチングストッパ層として機能させることにより、半導体基板1へのダメージを防止することができる。

次に、図34に示すように、サイドウォール18と素子分離領域とに挟まれた領域の露出した高誘電率絶縁膜10を、たとえばスパッタエッチングで除去する。続いて図35に示すように、領域Aにおいて、サイドウォール18と素子分離
15 領域とに挟まれた領域の露出したシリコン酸化膜9を、たとえばウェットエッチングで除去する。

次に、図36に示すように、レジストパターンRP19をマスクとして領域A、BのNMOS形成領域のpウェル8にn型不純物、たとえばヒ素をイオン注入し、ゲート電極15nの両側のpウェル8にn型拡散領域19を形成する。n型
20 拡散領域19は、ゲート電極15nおよびサイドウォール18に対して自己整合的に形成され、nチャネルMISトランジスタのソース、ドレインとして機能する。

次に、レジストパターンRP19を除去した後、図37に示すように、レジストパターンRP20をマスクとして領域A、BのPMOS形成領域のnウェル7
25 にp型不純物、たとえばフッ化ボロンをイオン注入し、ゲート電極15pの両側のnウェル9にp型拡散領域20を形成する。p型拡散領域20は、ゲート電極15pおよびサイドウォール18に対して自己整合的に形成され、pチャネルMISトランジスタのソース、ドレインとして機能する。

THIS PAGE BLANK (USPTO)

次に、レジストパターンR P 2 0を除去した後、図3 8に示すように、高融点金属膜、たとえば厚さ1 0〜2 0 nm程度のコバルト膜を、たとえばスパッタ法で半導体基板1上に堆積する。次いで5 0 0〜6 0 0℃程度の熱処理を半導体基板1に施してnチャネルM I Sトランジスタのゲート電極1 5 nの表面とn型拡散領域1 9の表面、およびpチャネルM I Sトランジスタのゲート電極1 5 pの表面とp型拡散領域2 0の表面に選択的に厚さ3 0 nm程度、比抵抗4 Ω cm程度のシリサイド層2 1を形成する。この後、未反応のコバルト膜をウェットエッチングで除去し、次いでシリサイド層2 1の低抵抗化のため7 0 0〜8 0 0℃程度の熱処理を半導体基板1に施す。

10 次に、図3 9に示すように、半導体基板1上にシリコン酸化膜2 2を形成した後、そのシリコン酸化膜2 2を、たとえばCMP法で研磨することにより表面を平坦化する。シリコン酸化膜2 2は、たとえばT E O S (tetra ethyl ortho silicate : $\text{Si}(\text{OC}_2\text{H}_5)_4$) とオゾン (O_3) とをソースガスに用いたプラズマC V D法で堆積されたT E O S酸化膜で構成される。

15 次に、図4 0に示すように、レジストパターンをマスクとしたエッチングによってシリコン酸化膜2 2に接続孔2 3を形成する。この接続孔2 3は、n型拡散領域1 9またはp型拡散領域2 0上などの必要部分に形成する。

次いで接続孔2 3の内部を含む半導体基板1の全面にチタン窒化膜を、たとえばC V D法で堆積し、さらに接続孔2 3を埋め込むタングステン膜を、たとえばC V D法で堆積する。その後、接続孔2 3以外の領域のチタン窒化膜およびタングステン膜を、たとえばCMP法により除去して接続孔2 3の内部にプラグ2 4を形成する。

続いて、半導体基板1上に、たとえばタングステン膜を堆積した後、レジストパターンをマスクとしたドライエッチングによってタングステン膜を加工し、第1配線層の配線2 5を形成する。タングステン膜は、C V D法またはスパッタ法により形成できる。

その後、さらに上層の配線を形成した後、パッシベーション膜で半導体基板1の全面を覆うことにより、本発明の一実施の形態である半導体集積回路装置が略

THIS PAGE BLANK (USP 10)

完成する。

このように、本実施の形態によれば、シリコン酸化膜 9 を半導体基板 1 の表面に形成した後、フッ酸水溶液を用いて領域 B（実効膜厚が薄いゲート絶縁膜が形成される領域）のシリコン酸化膜 9 を除去し、その後半導体基板 1 上に高誘電率絶縁膜 10 を形成することにより、半導体基板 1 の表面に与えるダメージまたは汚染を抑えて、高誘電率絶縁膜 10 とシリコン酸化膜 9 との積層膜からなるゲート絶縁膜 12、および高誘電率絶縁膜 10 からなるゲート絶縁膜 11 の 2 種類のゲート絶縁膜を同一半導体基板 1 上に形成することができる。

また、領域 A のゲート絶縁膜 12 は、高誘電率絶縁膜 10 とシリコン酸化膜 9 との積層膜からなるので、高誘電率絶縁膜を 2 層重ねた積層膜よりも、領域 A と領域 B との段差を小さくすることができる。

また、領域 A のゲート絶縁膜 12 をシリコン酸化膜のみで構成した場合と比べて、シリコン酸化膜 9 の厚さを薄くできることから、素子分離溝 4 a の内部の酸化を低減できて、素子分離溝 4 a の端部における応力を低減することができる。

次に、本発明の一実施の形態を適用したインバータ回路の一例を図 4 1 に示す。

図中、点線で囲まれた領域は CMOS インバータであり、 T_{kp} および T_{np} は p チャネル MIS トランジスタ、 T_{kn} および T_{nn} は n チャネル MIS トランジスタである。また、CMOS インバータを構成する MIS トランジスタ T_{np} 、 T_{nn} のゲート絶縁膜の厚さは、MIS トランジスタ T_{kp} 、 T_{kn} のゲート絶縁膜の厚さよりも薄い。たとえば CMOS インバータを構成する MIS トランジスタ T_{np} 、 T_{nn} のゲート絶縁膜は高誘電率絶縁膜で構成され、その実効膜厚は、たとえば 3.5 nm 程度、MIS トランジスタ T_{kp} 、 T_{kn} のゲート絶縁膜は高誘電率絶縁膜とシリコン酸化膜とからなる積層膜で構成され、その実効膜厚は、たとえば 6 nm 程度である。

CMOS インバータと第 1 電源 V_{dd} 、第 2 電源 V_{ss} の間にゲート絶縁膜の厚さの厚い MIS トランジスタ T_{kp} 、 T_{kn} が挿入されている。この回路を使用して信号を処理する際（定常時）には、制御信号 CS を 'H' とする。この信

THIS PAGE BLANK (USP 10)

号により、MISトランジスタ T_{kp} 、 T_{kn} はONし、第1電源 V_{dd} および第2電源 V_{ss} は直接CMOSインバータに接続される。

この回路を使用しない時、すなわち待機時には、制御信号CSを‘L’とする。この時、MISトランジスタ T_{kp} 、 T_{kn} はOFFし、第1電源 V_{dd} 、第2電源 V_{ss} とCMOSインバータは分離される。CMOSインバータを構成するMISトランジスタ T_{np} 、 T_{nn} のゲート・ソース間およびゲート・ドレイン間のリーク電流は、MISトランジスタ T_{kp} 、 T_{kn} がOFFであるため第1電源 V_{dd} と第2電源 V_{ss} との間に流れることはない。また、第1電源 V_{dd} および第2電源 V_{ss} が供給されないので、CMOSインバータはインバータとして機能しないが、MISトランジスタ T_{kp} 、 T_{kn} によってリーク電流による消費電力の増加を防ぐことができる。

次に、本発明の一実施の形態を適用した集積回路装置の一例を図42に示した回路ブロックを用いて説明する。この集積回路として、メモリ回路と論理回路とが同一基板上に設けられたロジック混載形メモリを例示しており、主回路、I/O（入出力インターフェイス）回路、メモリ直接周辺回路、メモリセルアレイおよび電源制御回路に大別される。

主回路（図中、回路ブロックを実線で囲んで示す）は、MISトランジスタの活性領域の面積比率で主に薄いゲート絶縁膜を使用したMISトランジスタで構成され、I/O回路、メモリ直接周辺回路および電源制御回路（図中、回路ブロックを実線と破線とで囲んで示す）は、薄いゲート絶縁膜を使用したMISトランジスタおよび厚いゲート絶縁膜を使用したMISトランジスタで構成され、メモリセルアレイ（図中、回路ブロックを破線で囲んで示す）は、主に厚いゲート絶縁膜を使用したMISトランジスタで構成される。ここで、薄いゲート絶縁膜とは、高誘電率絶縁膜からなる絶縁膜（前記ゲート絶縁膜11と同じ構造）、厚いゲート絶縁膜とは、高誘電率絶縁膜とシリコン酸化膜とからなる積層絶縁膜（前記ゲート絶縁膜12と同じ構造）である。

主回路は、CPU（central processing unit：中央演算処理装置）コアなどからなり、たとえばI/O回路を介して外部と入出力信号の授受を行い、さらにメ

THIS PAGE BLANK (USPTO)

メモリ直接周辺回路を介してメモリセルと信号の授受を行う。主回路は、論理素子を多く含み高速動作が要求されるため薄いゲート絶縁膜を使用したM I S トランジスタの割合が多い。

図43に、主回路における薄いゲート絶縁膜を使用したインバータの等価回路の一例を示す。主回路には相対的に電圧の低い電源V d d 1 が接続されている。

I/O回路、メモリ直接周辺回路および電源制御回路は、薄いゲート絶縁膜を使用したM I S トランジスタが主に用いられるが、消費電力低減のため、電源に対するスイッチM I S トランジスタとして厚いゲート絶縁膜を使用したM I S トランジスタも用いられる。また、I/O回路の外部からの大きな信号が直接かかる部分にも厚いゲート絶縁膜を使用したM I S トランジスタが用いられる。

図44に、I/O回路における厚いゲート絶縁膜を使用したインバータの等価回路の一例を示す。I/O回路には相対的に電圧の高い電源V d d 2 が接続されている。

メモリセルアレイは、リーク電流が大きいと記憶情報が消えてしまうため、メモリセルに厚いゲート絶縁膜を使用したM I S トランジスタが用いられる。

図45に、メモリセルアレイを構成するメモリセルの等価回路の一例を示す。例示したメモリセルは、D R A M (dynamic random access memory) セルであって、スイッチの役割をする選択用M I S トランジスタQと情報電荷を蓄積するキャパシタCとから構成され、選択用M I S トランジスタQに厚いゲート絶縁膜を使用したM I S トランジスタが用いられる。

このように、高速動作が要求される回路などでは、M I S トランジスタの高速化トレンドに則した性能を要求されるため、M I S トランジスタに薄いゲート絶縁膜が用いられる。一方、電源との整合性が要求される回路またはリーク電流低減が要求されるメモリセルなどでは、M I S トランジスタに厚いゲート絶縁膜が用いられる。

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

THIS PAGE BLANK (USP10)

たとえば、前記実施の形態では、高誘電率絶縁膜をアルミナ膜としたが、これに限定されるものではなく、チタン酸化膜 (TiO_x)、ジルコニウム酸化膜 (ZrO_x)、ハフニウム酸化膜 (HfO_x)、タンタル酸化膜 (TaO_x) またはルテニウム酸化膜 (RuO_x) など高誘電率絶縁膜を構成してもよい。

5

産業上の利用可能性

半導体基板の表面に与えるダメージまたは汚染を抑えて、高誘電率絶縁膜とシリコン酸化膜との積層膜からなるゲート絶縁膜、および高誘電率絶縁膜からなるゲート絶縁膜を同一半導体基板上に形成することができるので、互いに厚さの異なる信頼性の高い複数のゲート絶縁膜を形成することができる。また、実効膜厚が厚いゲート絶縁膜は、高誘電率絶縁膜とシリコン酸化膜との積層膜からなるので、高誘電率絶縁膜を2層重ねた積層膜よりも、実効膜厚が厚いゲート絶縁膜が形成される領域と実効膜厚が薄いゲート絶縁膜が形成される領域との段差が小さくなり、その後のMISトランジスタの製造を容易とすることができる。

15



THIS PAGE BLANK (USP 10)

請 求 の 範 囲

1. 半導体基板と、
前記半導体基板内に形成された一对の第1半導体領域と、前記一对の第1半導体
5 領域の間の領域であって、前記半導体基板上に第1ゲート絶縁膜を介して形成され
た第1導体片とを有する第1MISトランジスタと、
前記半導体基板内に形成された一对の第2半導体領域と、前記一对の第2半導体
領域の間の領域であって、前記半導体基板上に第2ゲート絶縁膜を介して形成され
た第2導体片とを有する第2MISトランジスタとを有し、
10 前記第1ゲート絶縁膜の厚さは、前記第2ゲート絶縁膜の厚さよりも大であり、
前記第1ゲート絶縁膜は、前記半導体基板上に位置する第1絶縁膜と、前記第1
絶縁膜上に位置する第2絶縁膜とからなり、
前記第2ゲート絶縁膜は、前記半導体基板上に位置する第3絶縁膜からなり、
前記第2および第3絶縁膜の比誘電率は、前記第1絶縁膜の比誘電率よりも大で
15 あることを特徴とする半導体集積回路装置。
2. 請求項1記載の半導体集積回路装置において、前記第2絶縁膜の厚さと前記
第3絶縁膜の厚さとは等しいことを特徴とする半導体集積回路装置。
3. 請求項1記載の半導体集積回路装置において、前記第2絶縁膜の厚さは、前
記第1絶縁膜の厚さよりも大であることを特徴とする半導体集積回路装置。
- 20 4. 請求項1記載の半導体集積回路装置において、前記第1絶縁膜は、シリコン
酸化膜からなることを特徴とする半導体集積回路装置。
5. 請求項1記載の半導体集積回路装置において、前記第2および第3絶縁膜は
、アルミナ膜、チタン酸化膜、ジルコニウム酸化膜、ハフニウム酸化膜、タンタ
ル酸化膜またはルテニウム酸化膜からなることを特徴とする半導体集積回路装置
25 。
6. 請求項1記載の半導体集積回路装置において、前記第1絶縁膜は、シリコン
酸窒化膜からなることを特徴とする半導体集積回路装置。
7. 半導体基板内に形成された第1ソース、ドレイン領域と、前記半導体基板上

THIS PAGE BLANK (USP, 0)

に第1ゲート絶縁膜を介して形成された第1ゲート電極とを有する第1MISトランジスタと、

半導体基板内に形成された第2ソース、ドレイン領域と、前記半導体基板上に第2ゲート絶縁膜を介して形成された第2ゲート電極とを有する第2MISトランジスタとを有する半導体集積回路装置であって、

前記第1ゲート絶縁膜の厚さは、前記第2ゲート絶縁膜の厚さよりも大であり、前記第1ゲート絶縁膜は、前記半導体基板上に位置する第1絶縁膜と、前記第1絶縁膜上に位置する第2絶縁膜とからなり、

前記第2ゲート絶縁膜は、前記半導体基板上に位置する第3絶縁膜と、前記第3絶縁膜上に位置する第4絶縁膜とからなり、
前記第2および第4絶縁膜の比誘電率は前記第1絶縁膜の比誘電率よりも大であり、

前記第1絶縁膜の厚さは、前記第3絶縁膜の厚さよりも大であることを特徴とする半導体集積回路装置。

8. 請求項7記載の半導体集積回路装置において、前記第2絶縁膜の厚さと前記第4絶縁膜の厚さとは等しいことを特徴とする半導体集積回路装置。

9. 請求項7記載の半導体集積回路装置において、前記第2および第4絶縁膜の厚さは、前記第1絶縁膜の厚さよりも大であることを特徴とする半導体集積回路装置。

10. 請求項7記載の半導体集積回路装置において、前記第1絶縁膜は、シリコン酸化膜からなることを特徴とする半導体集積回路装置。

11. 請求項7記載の半導体集積回路装置において、前記第3絶縁膜は、シリコン酸化膜、シリコン窒化膜またはシリコン酸窒化膜からなることを特徴とする半導体集積回路装置。

12. (a) 半導体基板の第1領域、および前記第1領域とは異なる第2領域において、前記半導体基板の表面に第1絶縁膜を形成する工程と、

(b) 前記第1領域の前記第1絶縁膜は残した状態で、前記第2領域の前記第1絶縁膜を選択的に除去する工程と、

THIS PAGE BLANK (USPTO)

(c) 前記第 1 領域の前記第 1 絶縁膜上および前記第 2 領域の前記半導体基板上に第 2 絶縁膜を形成する工程と、

(d) 前記第 2 絶縁膜上に第 1 導体層を形成する工程と、

5 (e) 前記第 1 導体層をパターニングすることにより、前記第 1 領域に第 1 導体片を、前記第 2 領域に第 2 導体片を形成する工程と、

(f) 前記第 1 および第 2 領域において、前記第 1 および第 2 導体片の両側の前記半導体基板の表面に第 1 半導体領域を形成するために第 1 導電型の第 1 不純物を導入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

10 13. 請求項 12 記載の半導体集積回路装置の製造方法において、工程 (f) に続いて、さらに

(g) 前記第 1 および第 2 導体片の上および側壁に第 3 絶縁膜を形成する工程と、

(h) 前記第 3 絶縁膜に異方性エッチングを施し、前記第 1 導体片の側壁に第 1 側壁絶縁膜を、前記第 2 導体片の側壁に第 2 側壁絶縁膜を形成する工程と、

15 (i) 前記第 1 および第 2 領域において、前記第 1 および第 2 側壁絶縁膜の両側の前記半導体基板の表面に第 2 半導体領域を形成するために第 1 導電型の第 2 不純物を導入する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

14. 請求項 13 記載の半導体集積回路装置の製造方法において、工程 (i) に続いて、さらに

20 (j) 前記第 2 半導体領域に接するように前記半導体基板上に高融点金属膜を形成する工程と、

(k) 前記半導体基板に熱処理を施し、前記第 2 半導体領域の表面にシリサイド層を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

25 15. 請求項 13 記載の半導体集積回路装置の製造方法において、前記第 2 絶縁膜の厚さは、前記第 1 絶縁膜の厚さよりも大であることを特徴とする半導体集積回路装置の製造方法。

16. 請求項 13 記載の半導体集積回路装置の製造方法において、工程 (a) の後に、さらに

THIS PAGE BLANK (USP:0)

(1) 前記第1絶縁膜に、窒素を含む雰囲気中で熱処理を施す工程を含むことを特徴とする半導体集積回路装置の製造方法。

17. 請求項13記載の半導体集積回路装置の製造方法において、工程(a)の前に、さらに

- 5 (m) 半導体基板の表面に複数の溝を形成する工程と、
(n) 前記溝内を第4絶縁膜で埋める工程とを含むことを特徴とする半導体集積回路装置の製造方法。

18. 請求項13記載の半導体集積回路装置の製造方法において、工程(b)の後に、さらに

- 10 前記第2領域において、前記半導体基板の表面に前記第1絶縁膜よりも厚さが小である第5絶縁膜を形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

19. (a) 半導体基板の第1領域、および前記第1領域とは異なる第2領域において、前記半導体基板の表面に第1絶縁膜を形成する工程と、

- 15 (b) 前記第1領域の前記第1絶縁膜は残した状態で、前記第2領域の前記第1絶縁膜を選択的に除去する工程と、

(c) 前記第1領域の前記第1絶縁膜上および前記第2領域の前記半導体基板上に第2絶縁膜を形成する工程と、

(d) 前記第2絶縁膜上に第1導体層を形成する工程と、

- 20 (e) 前記第1導体層をパターニングすることにより、前記第1領域に第1および第2導体片を、前記第2領域に第3および第4導体片を形成する工程と、

(f) 前記第1および第2領域において、前記第1、第2、第3および第4導体片の両側の前記半導体基板の表面に第1半導体領域を形成するために第1導電型の第1不純物を導入する工程とを有し、

- 25 工程(a)の前に、さらに

前記第1導体片の下に位置する前記半導体基板に第1チャネル領域を形成するための第2不純物を導入し、

前記第2導体片の下に位置する前記半導体基板に第2チャネル領域を形成するた

THIS PAGE BLANK (US: 10)

めの第3不純物を導入し、

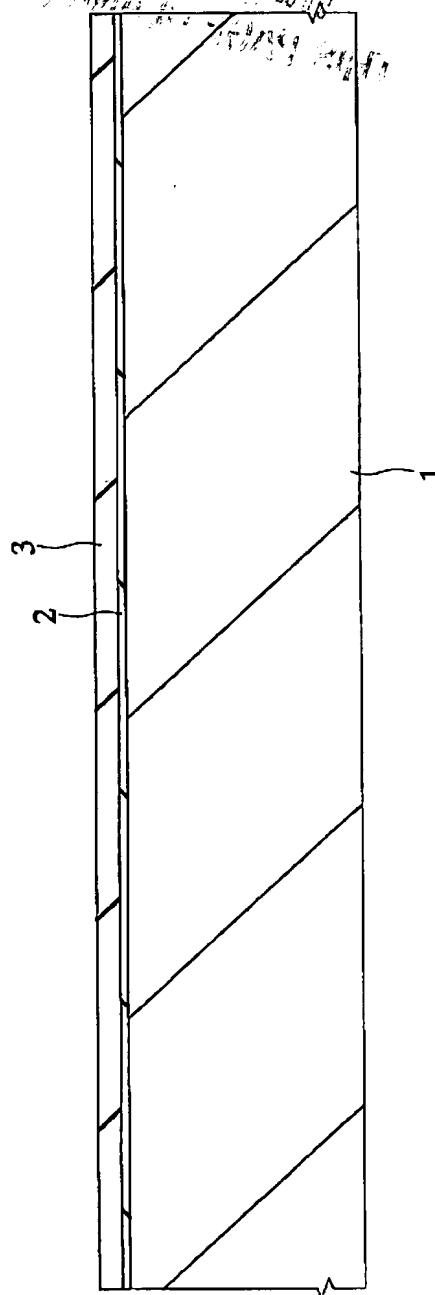
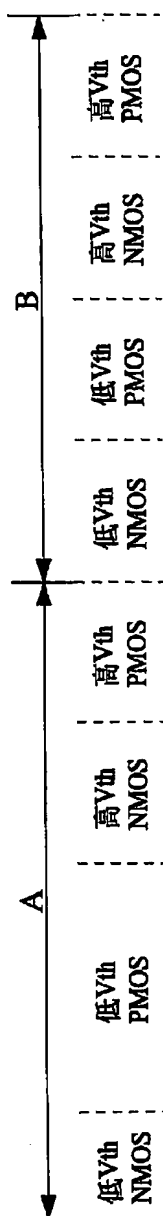
前記第3導体片の下に位置する前記半導体基板に第3チャネル領域を形成するための第4不純物を導入し、

前記第4導体片の下に位置する前記半導体基板に第4チャネル領域を形成するた

- 5 めの第5不純物を導入する工程を含むことを特徴とする半導体集積回路装置の製造方法。

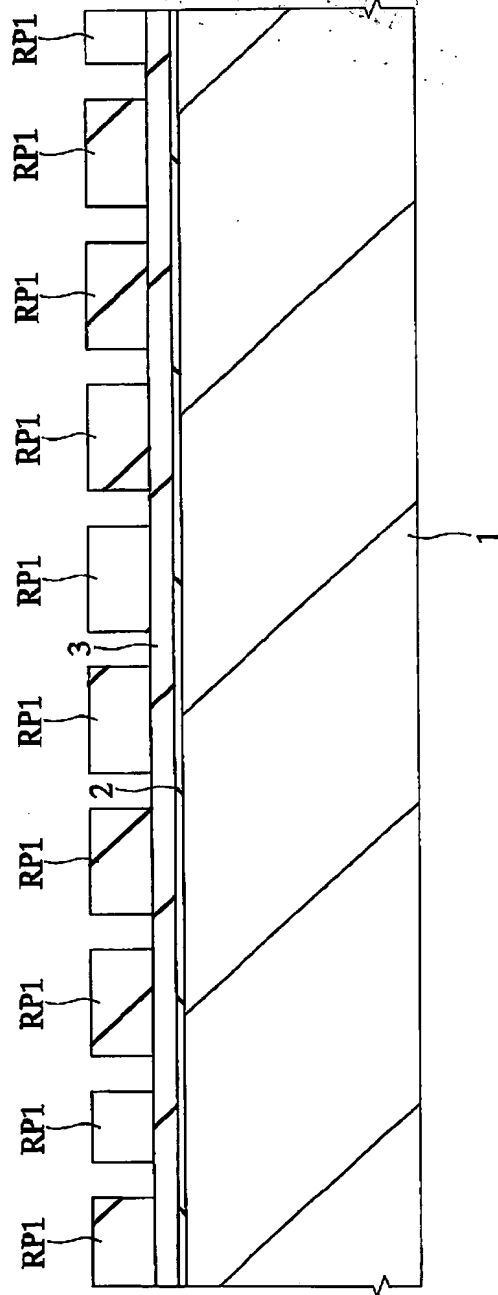
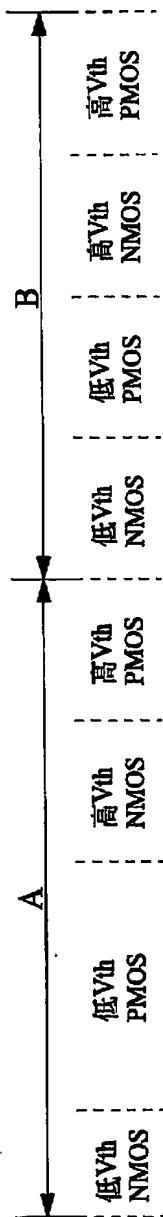
THIS PAGE BLANK (USP 10)

図 1



THIS PAGE BLANK (USP 10)

図 2



THIS PAGE BLANK (USF:U)

This diagram shows a cross-sectional view of a semiconductor device. The device features a segmented gate structure on top of a channel region. The gate is divided into segments labeled 4a and 4b. The channel region is labeled 9. The device is divided into two main sections, A and B, by a vertical dashed line. Section A is labeled with 'Low Vth NMOS' and 'High Vth PMOS'. Section B is labeled with 'Low Vth NMOS' and 'High Vth PMOS'. The device is also labeled with 'RP11' and '8'.

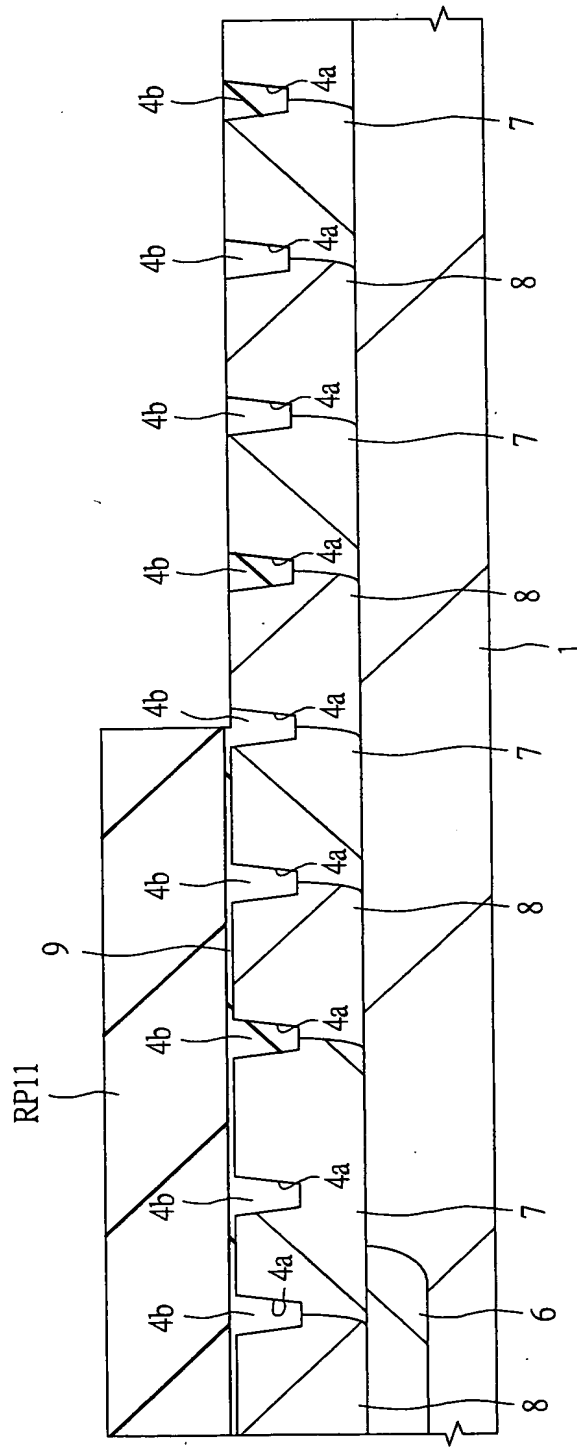


FIG. 17

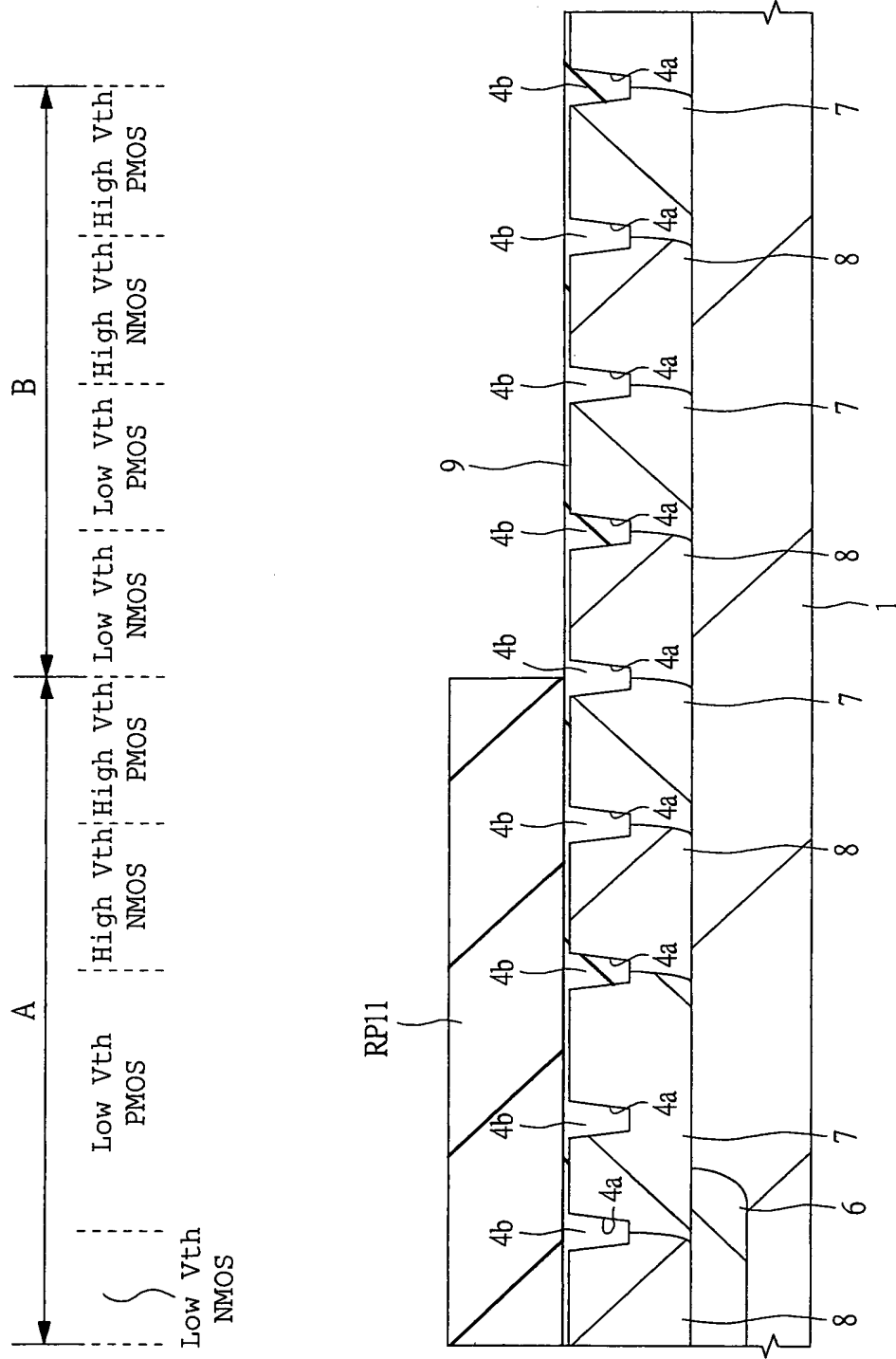


FIG. 16

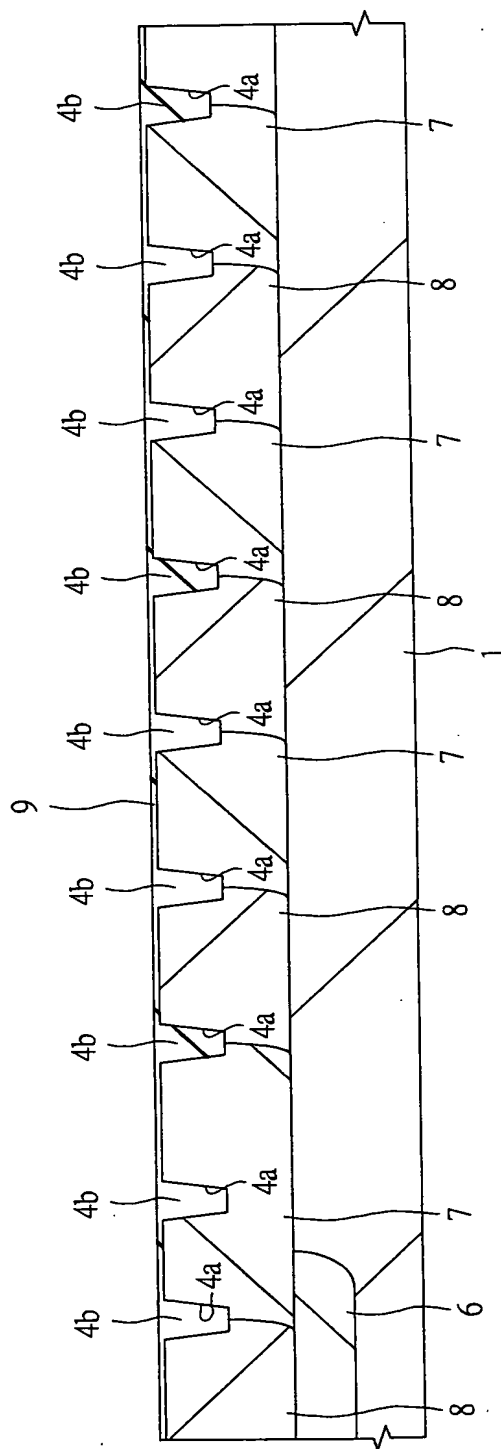
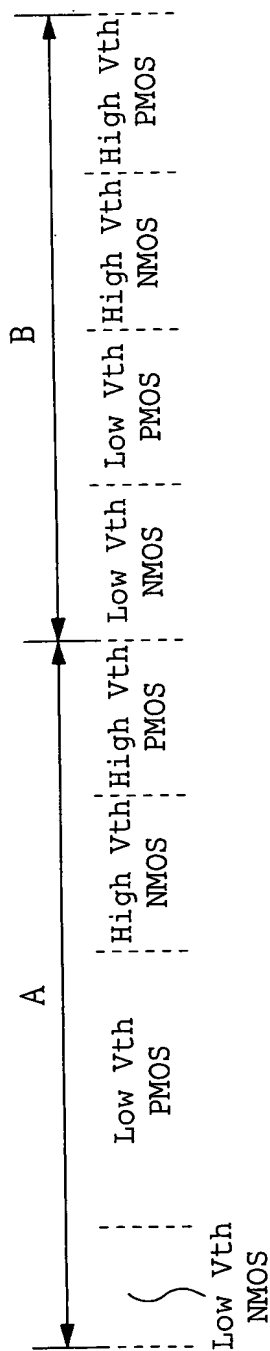


FIG. 15

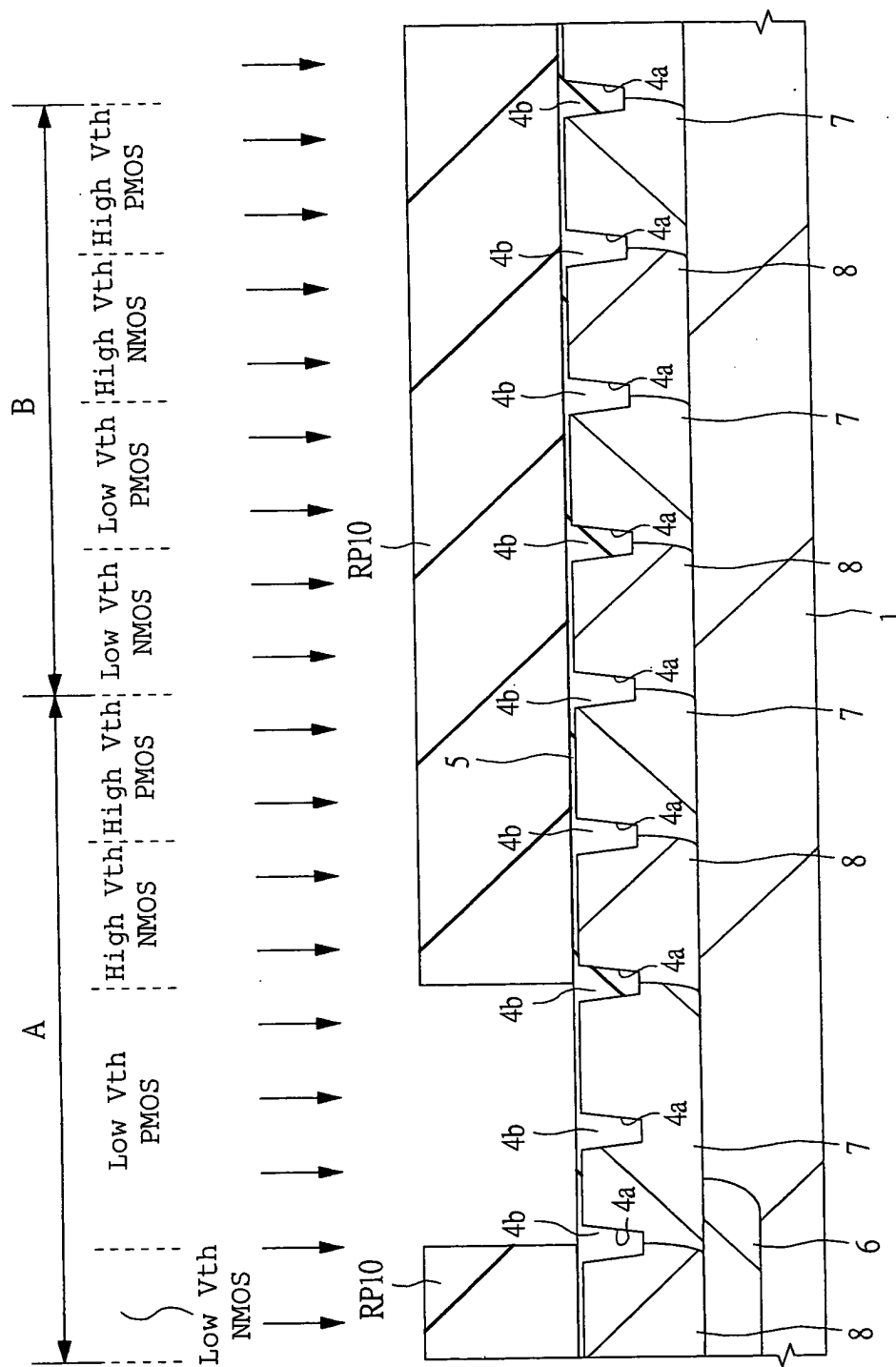


FIG. 14

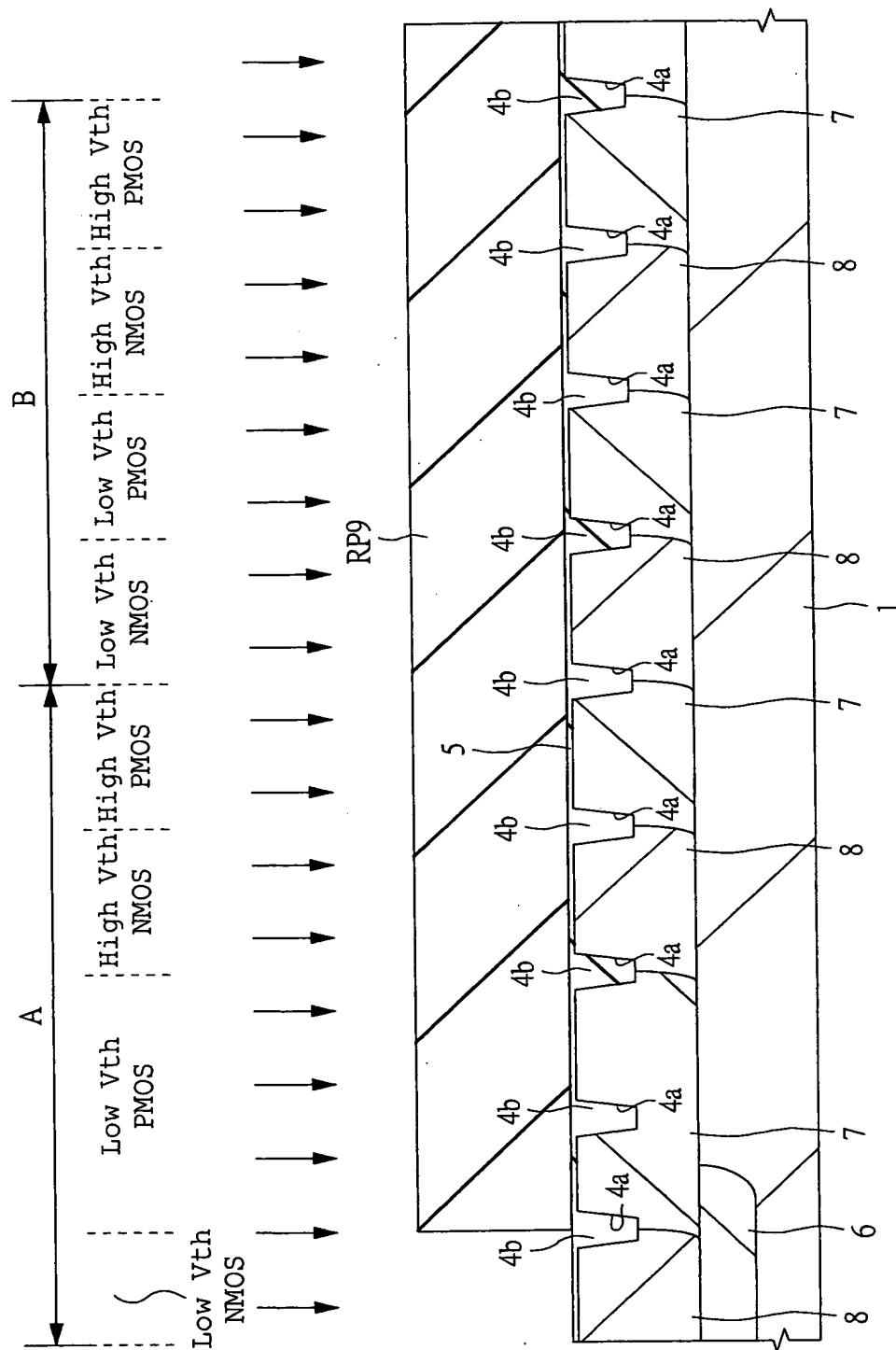


FIG. 12

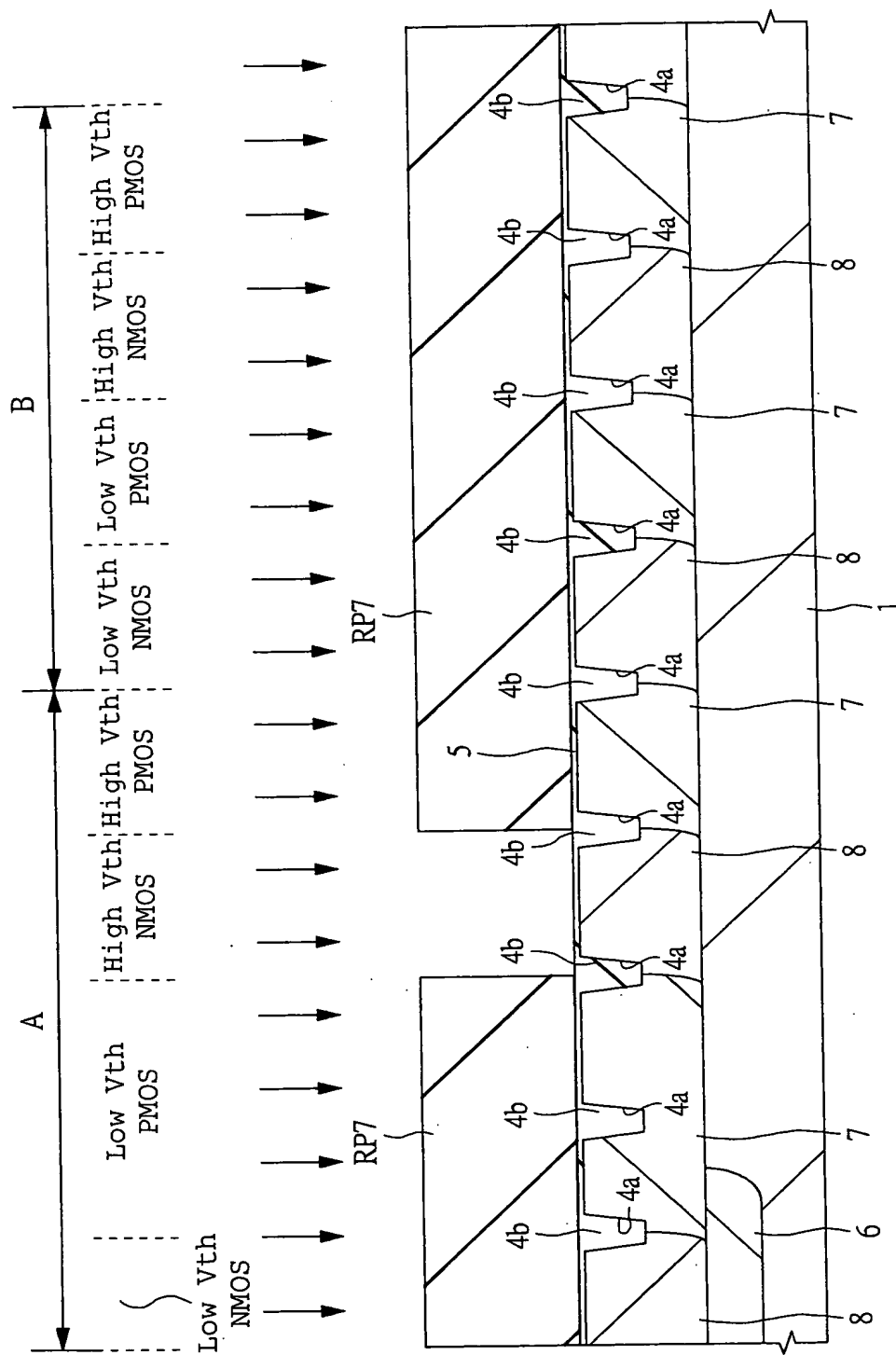


FIG. 11

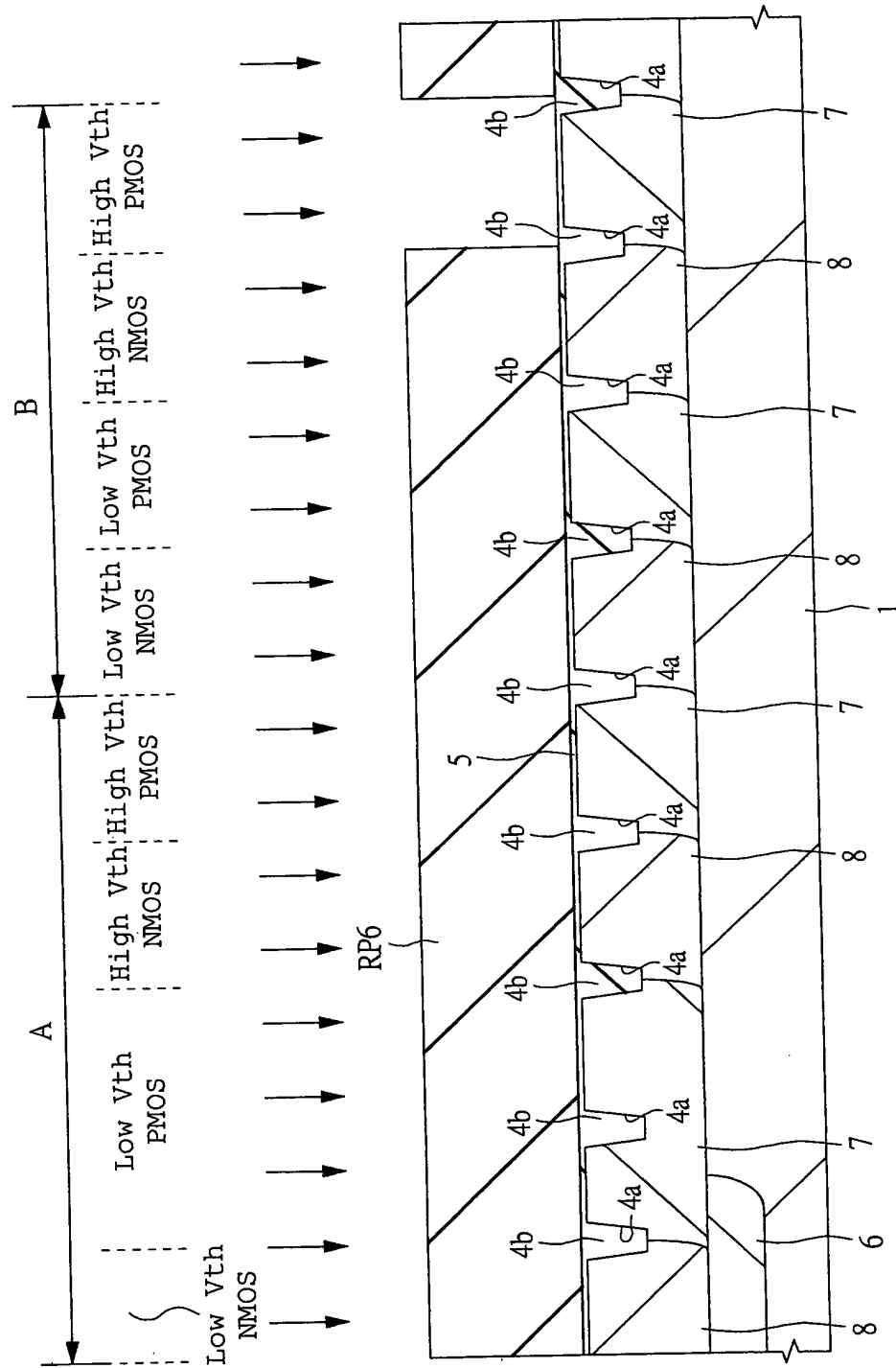


FIG. 10

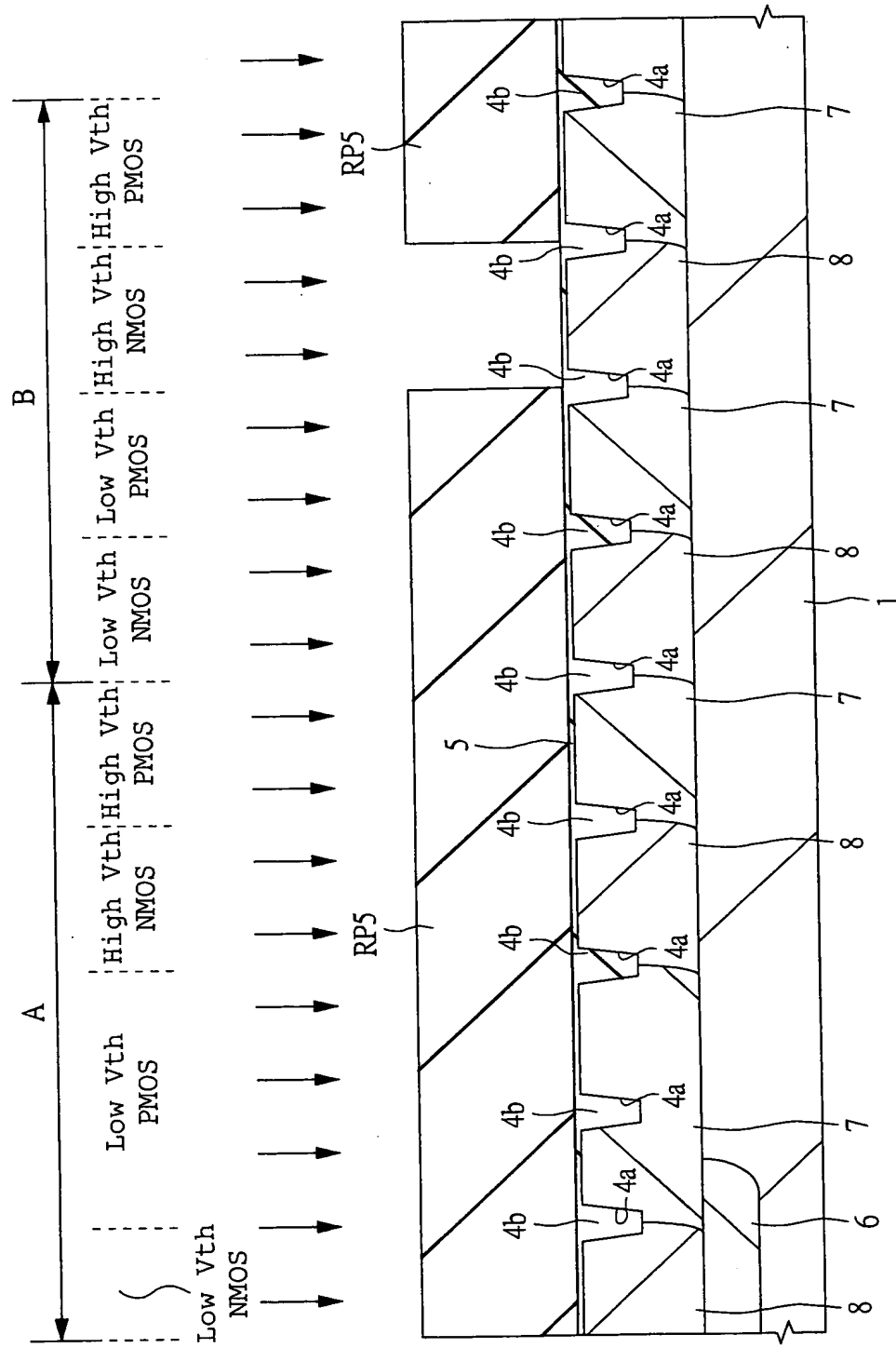


FIG. 9

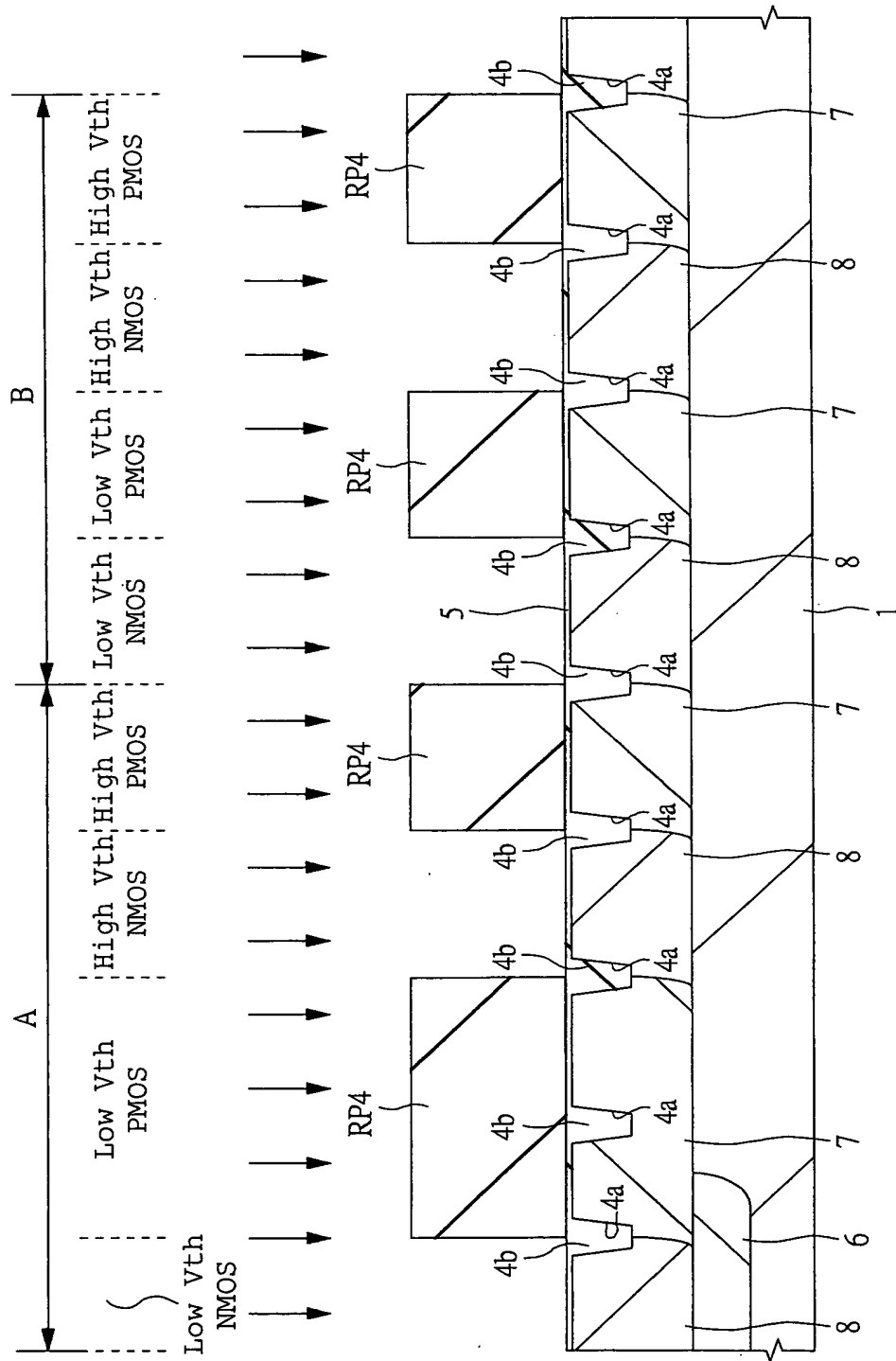


FIG. 8

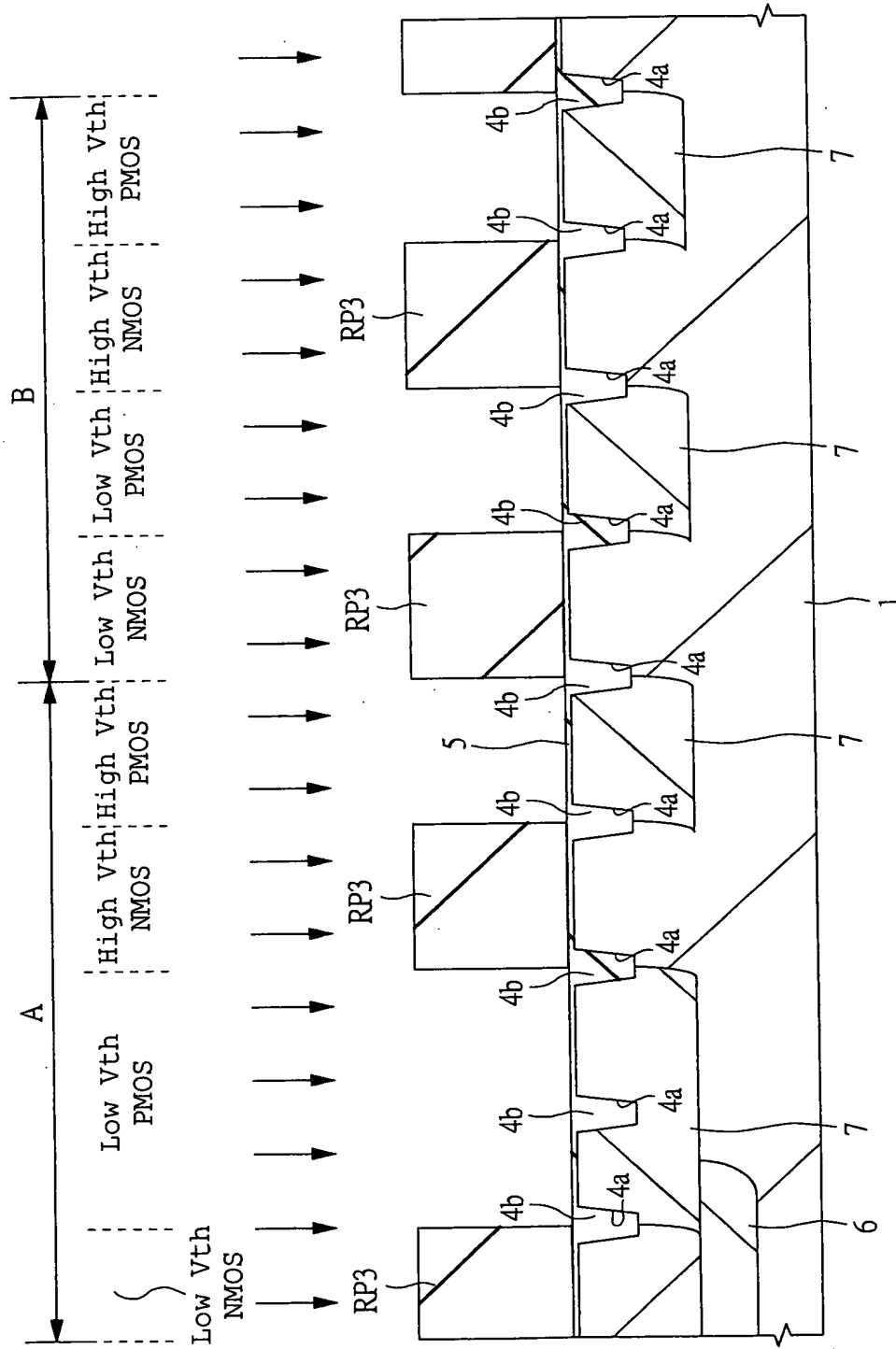


FIG. 7

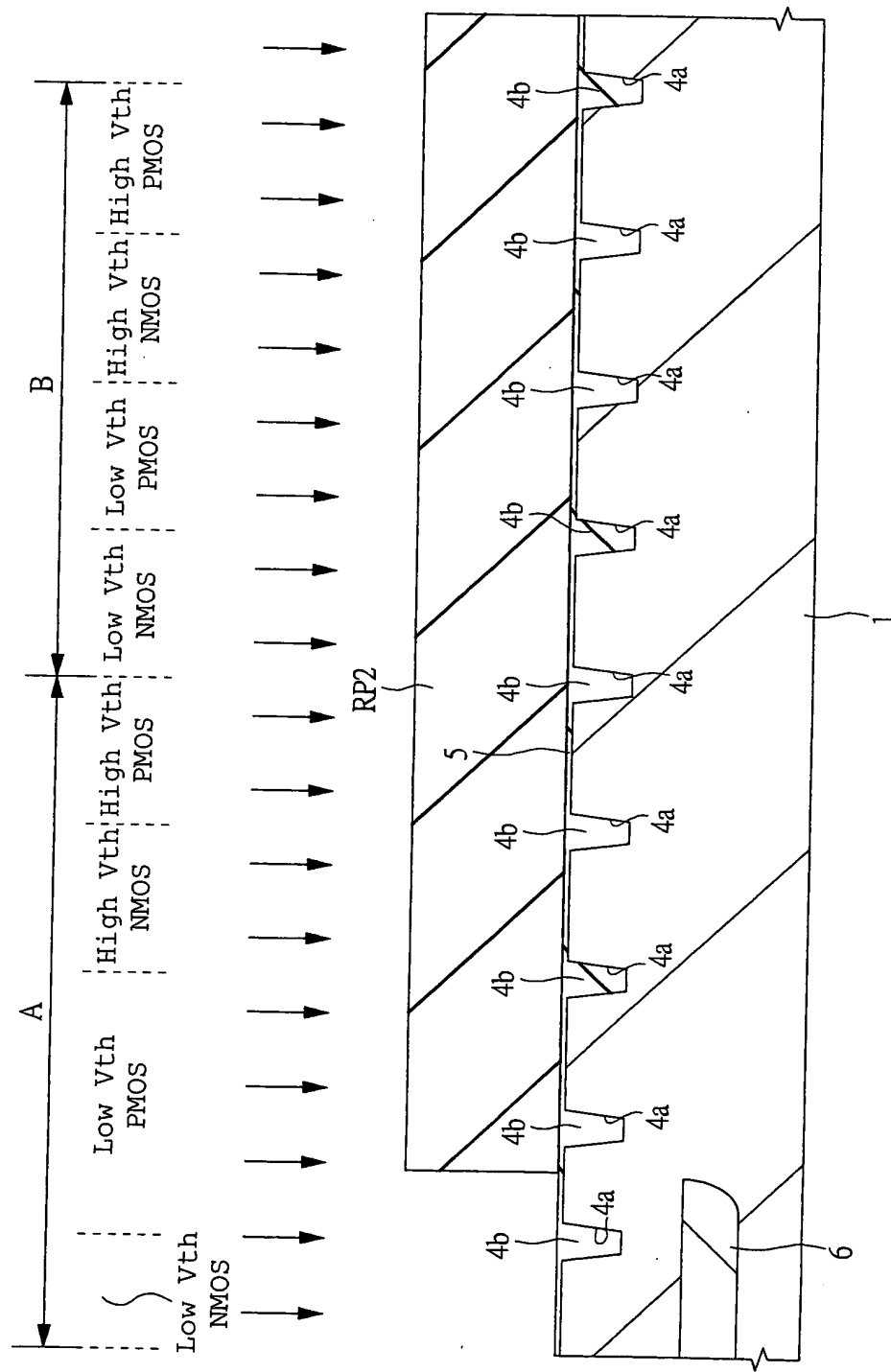


FIG. 6

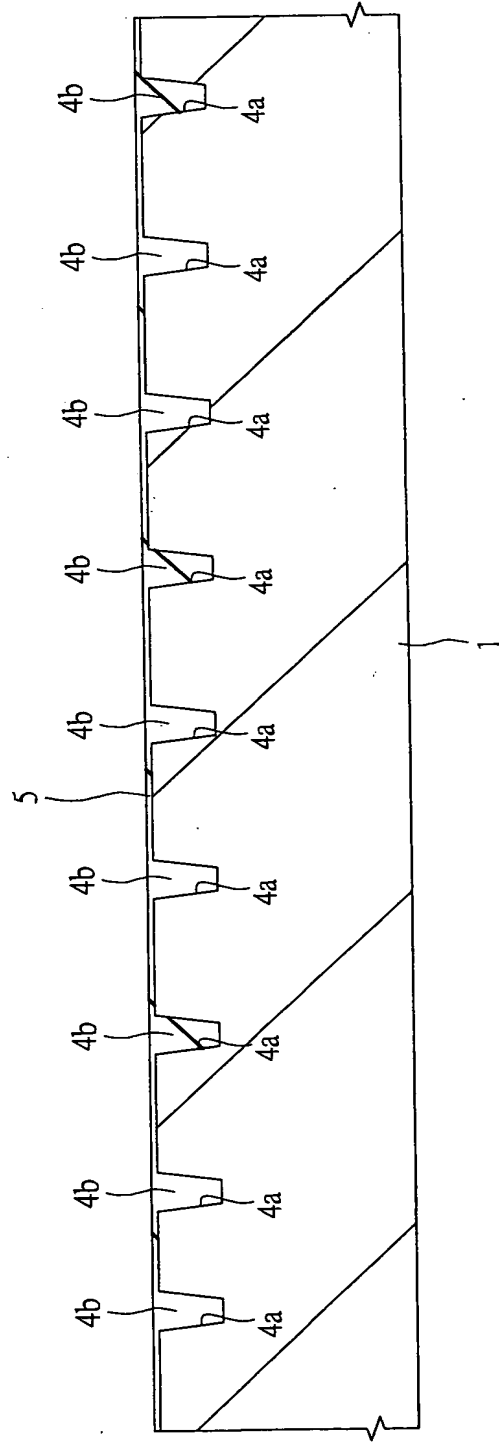
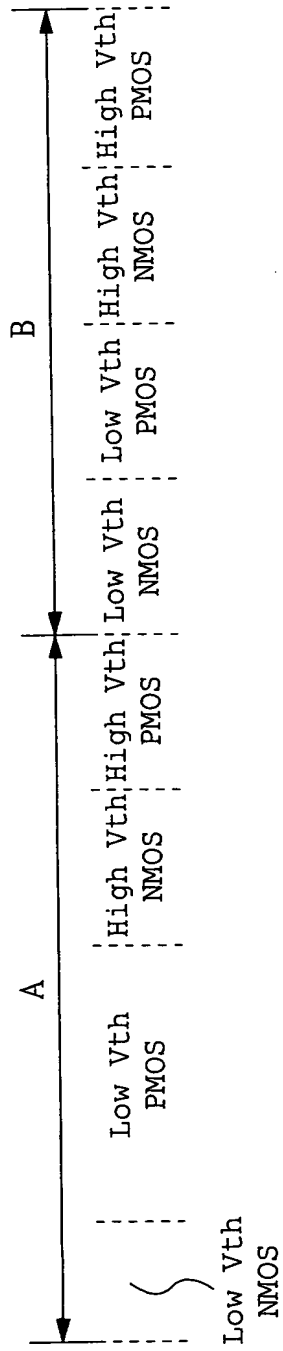


FIG. 5

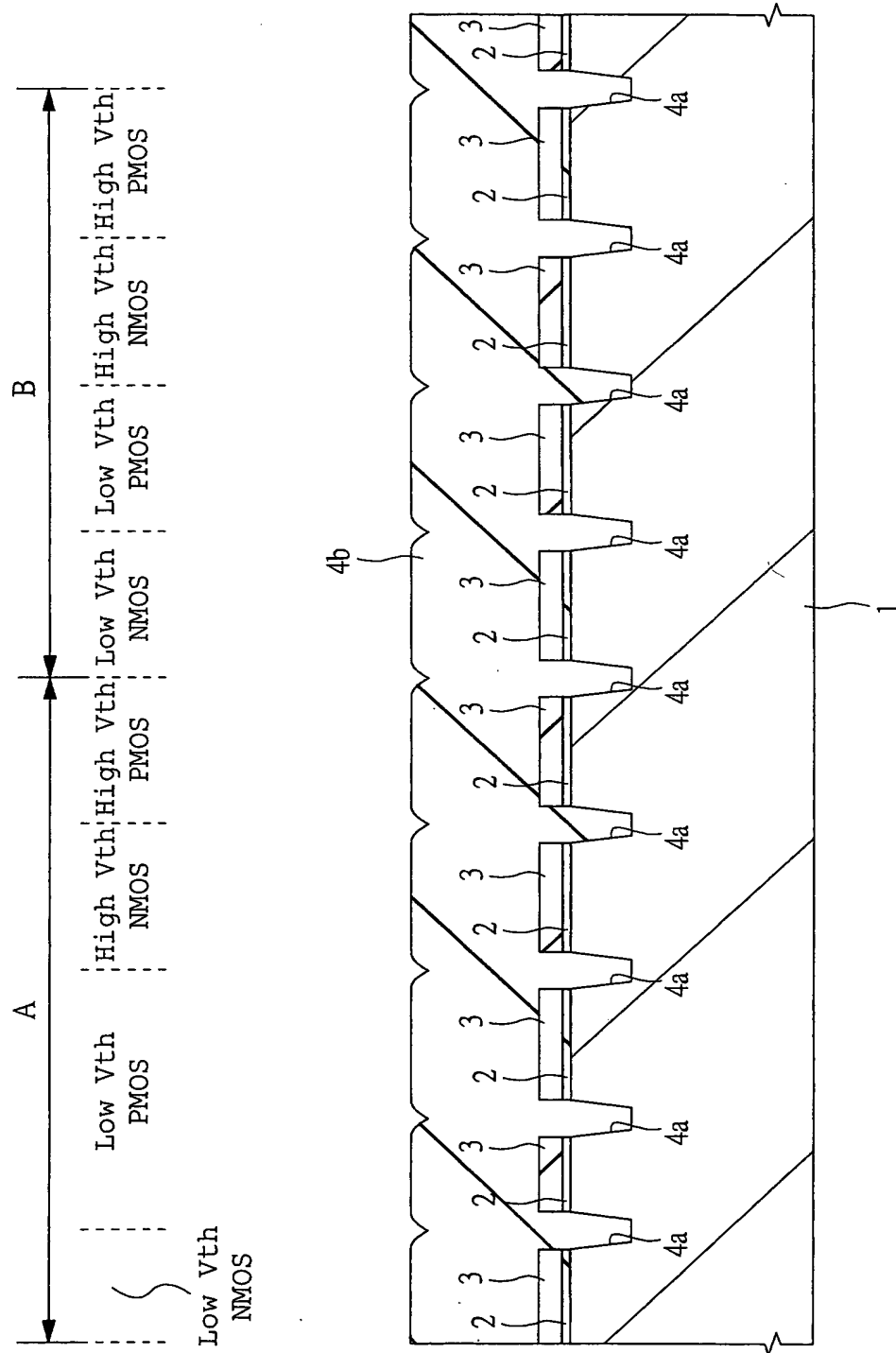


FIG. 4

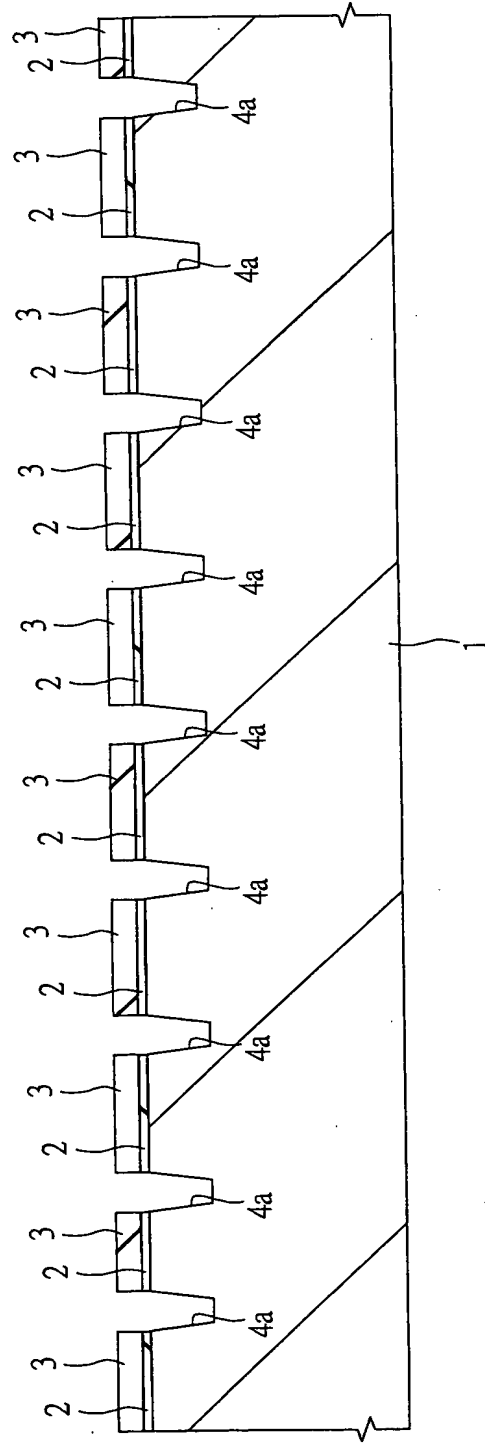
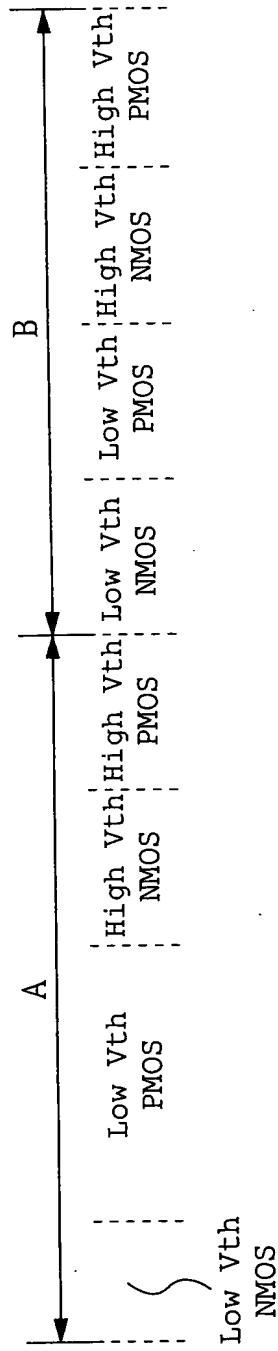


FIG. 3

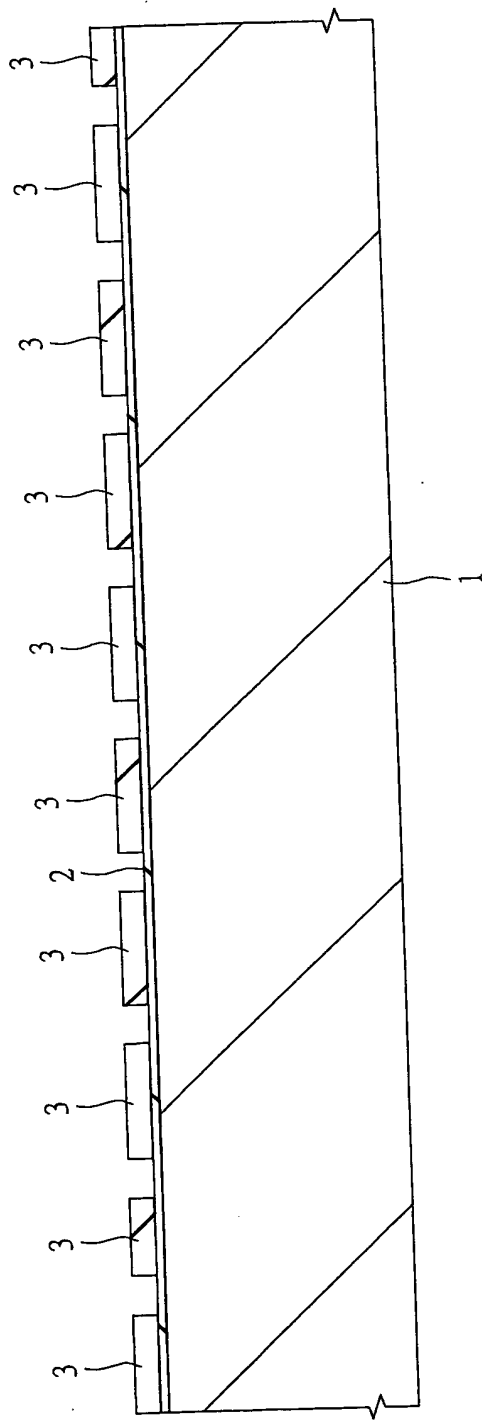
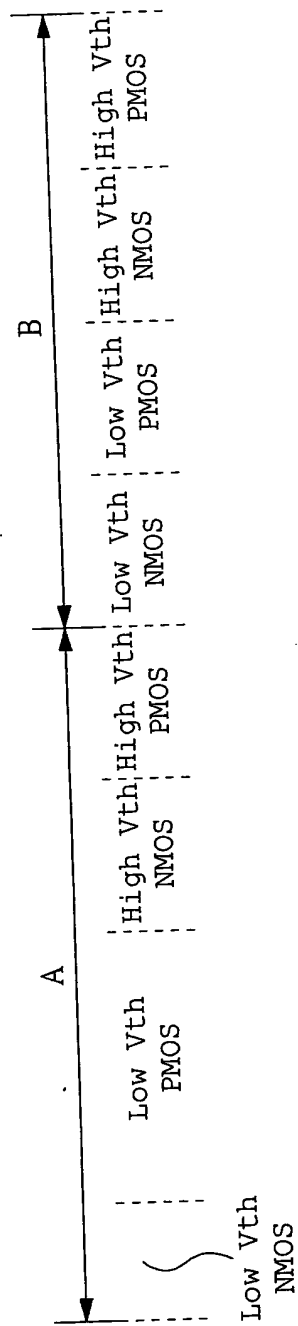


FIG. 2

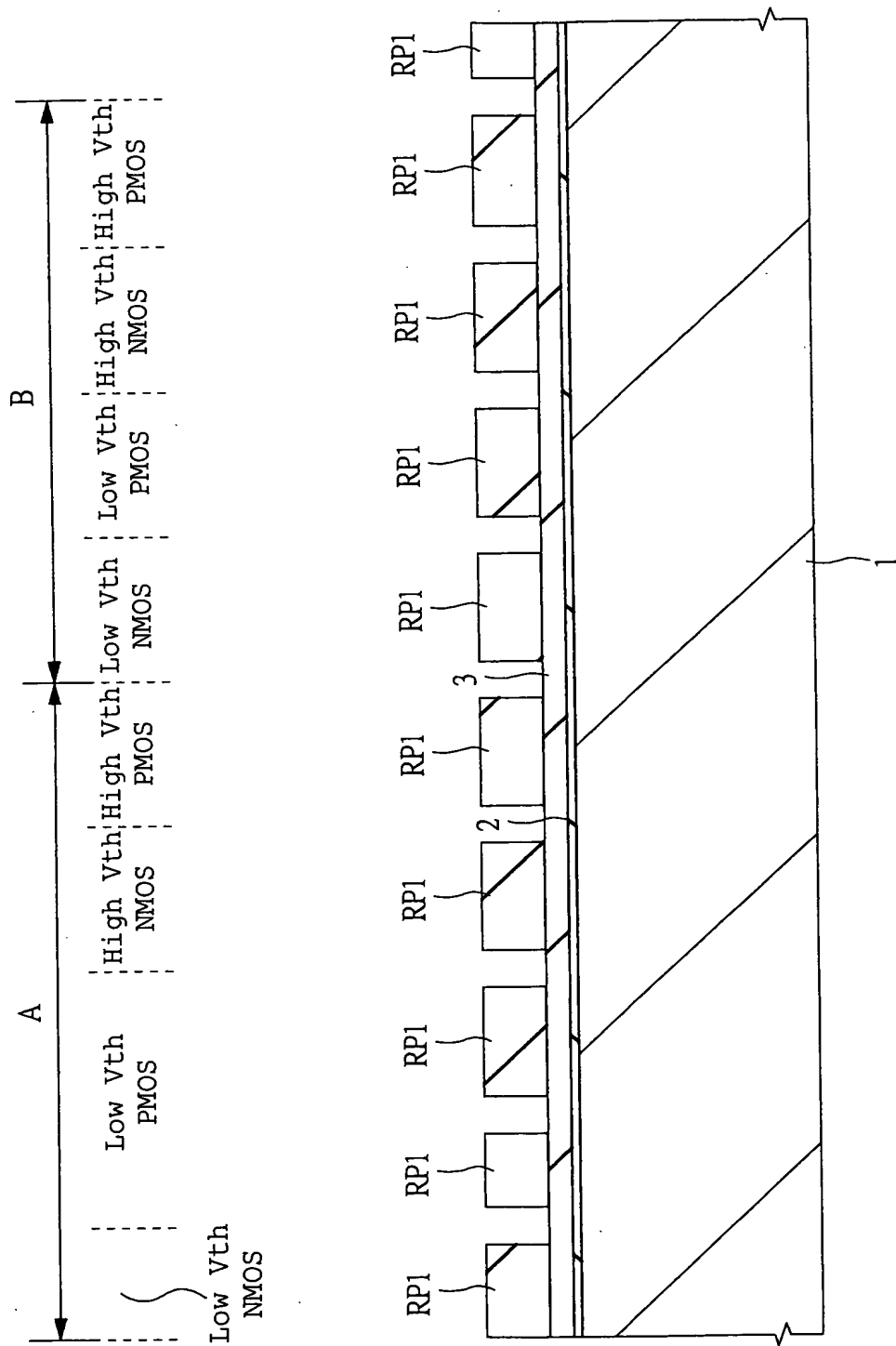
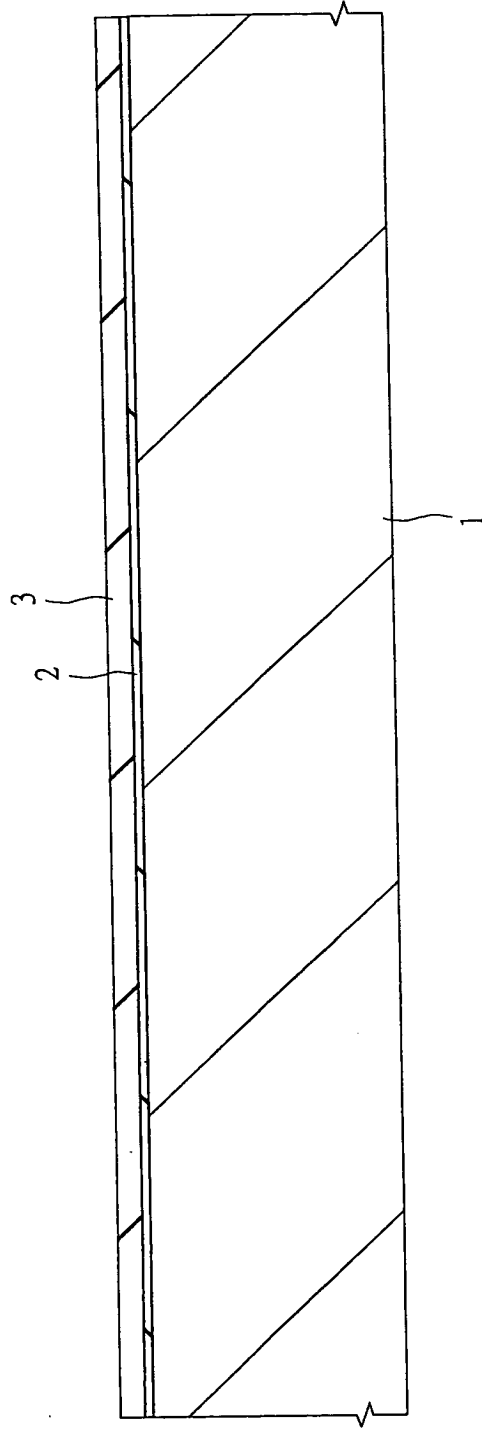
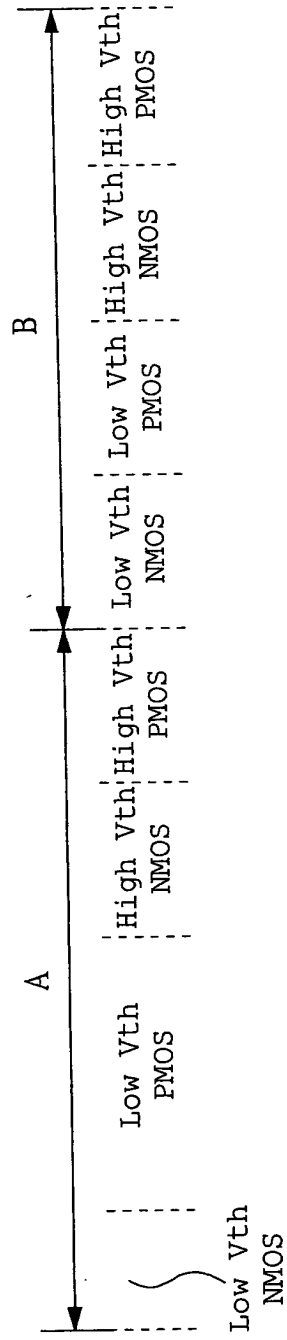


FIG. 1



ABSTRACT

After silicon oxide film (9) is formed on the surface of a semiconductor substrate (1), the silicon oxide film (9) in a region in which a gate insulation film having a small effective thickness is formed is removed using diluted HF and after that, high dielectric constant insulation film (10) is formed on the semiconductor substrate (1). Consequently, two kinds of gate insulation films, namely, a gate insulation film (12) comprised of stacked film of high dielectric constant insulation film (10) and silicon oxide film (9) and gate insulation film (11) comprised of the high dielectric constant insulation film (10) are formed on the semiconductor substrate (1).

(f) introducing a first impurity of first conductive type so as to form said first semiconductor region on the surface of said semiconductor substrate on both sides of each of said first, second, third and fourth conductive
5 pieces in said first and second regions,

said manufacturing method further comprising, before said step (a), the steps of:

introducing a second impurity so as to form a first channel region in said semiconductor substrate located
10 under said first conductive piece;

introducing a third impurity so as to form a second channel region in said semiconductor substrate located under said second conductive piece;

introducing a fourth impurity so as to form a third
15 channel region in said semiconductor substrate located under said third conductive piece; and

introducing a fifth impurity so as to form a fourth channel region in said semiconductor substrate located under said fourth conductive piece.

20

18. The manufacturing method of semiconductor integrated circuit device according to claim 13, further comprising, subsequent to said step (b), the step of:

5 forming a fifth insulation film, whose thickness is smaller than that of said first insulation film, over the surface of said semiconductor substrate in said second region.

10 19. A manufacturing method of semiconductor integrated circuit device comprising the steps of:

 (a) forming a first insulation film on the surface of said semiconductor substrate in a first region of said semiconductor substrate and a second region different from
15 said first region;

 (b) selectively removing said first insulation film in said second region with said first insulation film in said first region left;

 (c) forming a second insulation film on said first
20 insulation film in said first region and on said semiconductor substrate in said second region;

 (d) forming a first conductive layer on said second insulation film;

 (e) forming first and second conductive pieces in
25 said first region and third and fourth conductive pieces in said second region by patterning said first conductive layer; and

circuit device according to claim 13, further comprising subsequent to said step (i), the steps of:

(j) forming a refractory metal film on said semiconductor substrate such that it makes a contact with
5 said second semiconductor region; and

(k) executing heat treatment on said semiconductor substrate to form a silicide layer on the surface of said second semiconductor region.

10 15. The manufacturing method of semiconductor integrated circuit device according to claim 13, wherein the thickness of said second insulation film is larger than the thickness of said first insulation film.

15 16. The manufacturing method of semiconductor integrated circuit device according to claim 13, further comprising, subsequent to said step (a), the step of:

(l) executing heat treatment to said first insulation film in an atmosphere containing nitrogen.

20

17. The manufacturing method of semiconductor integrated circuit device according to claim 13, further comprising, before said step (a), the steps of:

(m) forming plural grooves on the surface of said
25 semiconductor substrate; and

(n) filling said grooves with a fourth insulation film.

insulation film;

(e) forming a first conductive piece in said first region and a second conductive piece in said second region by patterning said first conductive layer; and

5 (f) introducing a first impurity of a first conductive type in said first and second regions so as to form said first semiconductor region on the surface of said semiconductor substrate on both sides of each of said first and second conductive pieces.

10

13. The manufacturing method of semiconductor integrated circuit device according to claim 12, further comprising, subsequent to said step (f), the steps of:

(g) forming a third insulation film on said first and
15 second conductive pieces and side walls thereof;

(h) forming a first side wall insulation film on the side wall of said first conductive piece and a second side wall insulation film on the side wall of said second conductive piece by anisotropic etching said third
20 insulation film; and

(i) introducing a second impurity of a first conductive type in said first and second regions so as to form a second semiconductor region on the surface of said semiconductor substrate on both sides of said first and
25 second side wall insulation films.

14. The manufacturing method of semiconductor integrated

9. The semiconductor integrated circuit device according to claim 7 wherein the thickness of said second and fourth insulation films is larger than the thickness of said first insulation film.

5

10. The semiconductor integrated circuit device according to claim 7 wherein said first insulation film is comprised of silicon oxide film.

10 11. The semiconductor integrated circuit device according to claim 7 wherein said third insulation film is comprised of silicon oxide film, silicon nitride film or silicon oxide nitride film.

15 12. A manufacturing method of semiconductor integrated circuit device comprising the steps of:

(a) forming a first insulation film on a surface of a semiconductor substrate in a first region of said semiconductor substrate and a second region different from
20 said first region;

(b) selectively removing said first insulation film in said second region with said first insulation film in said first region being left;

(c) forming a second insulation film on said first
25 insulation film in said first region and on said semiconductor substrate in said second region;

(d) forming a first conductive layer on said second

substrate through a first gate insulation film; and

a second MIS transistor including second source and drain regions formed in said semiconductor substrate and a second gate electrode formed above said semiconductor

5 substrate through a second gate insulation film, wherein:

the thickness of said first gate insulation film is larger than the thickness of said second gate insulation film;

10 said first gate insulation film is comprised of a first insulation film located on said semiconductor substrate and a second insulation film located on said first insulation film;

15 said second gate insulation film is comprised of a third insulation film located on said semiconductor substrate and a fourth insulation film located on said third insulation film;

the dielectric constant of said second and fourth insulation films is larger than the dielectric constant of said first insulation film and

20 the thickness of said first insulation film is larger than the thickness of said third insulation film.

8. The semiconductor integrated circuit device according to claim 7 wherein the thickness of said second insulation
25 film is equal to the thickness of said fourth insulation film.

to claim 1 wherein the thickness of said second insulation film is equal to the thickness of said third insulation film.

5 3. The semiconductor integrated circuit device according to claim 1 wherein the thickness of said second insulation film is larger than the thickness of said first insulation film.

10 4. The semiconductor integrated circuit device according to claim 1 wherein said first insulation film is comprised of silicon oxide film.

15 5. The semiconductor integrated circuit device according to claim 1 wherein said second and third insulation films are comprised of alumina film, titanic oxide film, zirconium oxide film, hafnium oxide film, tantalum oxide film or ruthenium oxide film.

20 6. The semiconductor integrated circuit device according to claim 1 wherein said first insulation film is comprised of silicon oxide nitride film.

25 7. A semiconductor integrated circuit device comprising:
a first MIS transistor including first source and drain regions formed in a semiconductor substrate and a first gate electrode formed above said semiconductor

CLAIMS:

1. A semiconductor integrated circuit device comprising:

a semiconductor substrate;

a first MIS transistor including a pair of first

5 semiconductor regions formed in said semiconductor substrate and a first conductive piece formed above said semiconductor substrate through a first gate insulation film in a region between said pair of said first semiconductor regions; and

10 a second MIS transistor including a pair of second semiconductor regions formed in said semiconductor substrate and a second conductive piece formed above said semiconductor substrate through a second gate insulation film in a region between said pair of said second semiconductor regions,

15 wherein the thickness of said first gate insulation film is larger than the thickness of said second gate insulation film and said first gate insulation film is comprised of said first insulation film located on said semiconductor substrate and said second insulation film located on said first insulation film; and

20 wherein said second gate insulation film is comprised of a third insulation film located on said semiconductor substrate and the dielectric constant of said second and third insulation films is larger than the dielectric constant of said first insulation film.

25 2. The semiconductor integrated circuit device according

formed on the same semiconductor substrate so as to suppress damage or pollution to the surface of the semiconductor substrate, plural gate insulation films each having a different thickness and a high reliability can be formed. Further, because the gate insulation film having a high effective thickness is constituted of stacked film of the high dielectric constant insulation film and silicon oxide film, a difference in step between a region in which the gate insulation film having a large effective thickness is formed and a region in which the gate insulation film having a small effective thickness is decreased as compared to a stacked film in which two high dielectric constant insulation films are stacked, so that subsequent manufacturing of the MIS transistor is facilitated.

Such a circuit demanded to operate rapidly employs a thin gate insulation film for its MIS transistor because a performance corresponding to a trend of increased speed of the MIS transistor is demanded. On the other hand, a circuit demanded to high match with a power or a memory cell in which a reduction in leakage current is demanded employ a thick gate insulation film for its MIS transistor.

In the foregoing, the invention made by the inventors of the present invention has been concretely described based on the embodiments. However, it is needless to say that the present invention is not limited to the foregoing embodiments and various modifications and alterations can be made within the scope of the present invention.

For example, although in the above-described embodiment, the high dielectric constant insulation film is regarded as alumina film, the present invention is not restricted to this example, but this high dielectric constant insulation film may be comprised of titanic oxide film (TiO_x), zirconium oxide film (ZrO_x), hafnium oxide film (HfO_x), tantalum oxide film (TaO_x) or ruthenium oxide film (RuO_x).

INDUSTRIAL APPLICABILITY

Because the gate insulation film comprised of stacked film of high dielectric constant insulation film and silicon oxide film and the gate insulation film comprised of the high dielectric constant insulation film can be

FIG. 43 shows an example of an equivalent circuit in an inverter using the thin gate insulation film in the main circuit. A power V_{dd1} of a relatively low voltage is connected to the main circuit.

5 Although the I/O circuit, the memory array associate circuit and power control circuit are comprised of mainly a MIS transistor using a thin gate insulation film, the MIS transistor using a thick gate insulation film is used as a switch MIS transistor to a power supply. Further, the MIS
10 transistor using the thick gate insulation film is used for a portion to which a large signal is applied directly from outside of the I/O circuit.

FIG. 44 shows an example of an equivalent circuit of an inverter using a thick gate insulation film in an I/O
15 circuit. The power V_{dd2} having a relatively high voltage is connected to the I/O circuit.

A MIS transistor in which a thick gate insulation film is used for its memory cell is used for the memory cell array because its memory information is deleted if the
20 leakage current is large.

FIG. 45 shows an example of a memory cell constituting the memory cell array. The indicated memory cell is a DRAM (dynamic random access memory) cell, which is comprised of a selective MIS transistor Q serving as a
25 switch and a capacitor C for accumulating information charge. A MIS transistor using a thick gate insulation film is used for the selective MIS transistor Q .

circuit block with a solid line) is constituted of the MIS transistor employing mainly thin gate insulation film in terms of area ratio in an activate region of the MIS transistor. The I/O circuit, the memory array associate
5 circuit and the power control circuit (its circuit block is indicated by surrounding with a solid line and dotted line) are constituted of MIS transistor using a thin gate insulation film and MIS transistor using a thick gate insulation film. The memory cell array (its circuit block
10 is indicated by surrounding with dotted line) is constituted of MIS transistor using a thick gate insulation film. The thin gate insulation film mentioned here refers to an insulation film (having the same structure as the aforementioned gate insulation film 11) comprised of high
15 dielectric constant insulation film. The thick gate insulation film mentioned here refers to stacked insulation film (having the same structure as the gate insulation film 12) comprised of high dielectric constant insulation film and silicon oxide film.

20 The main circuit is constituted of CPU (central processing unit) and the like so as to exchange input and output signals with outside through, for example, an I/O circuit. Further, signals are exchanged with the memory cell through the memory array associate circuit. Because a
25 number of logic devices are included and a high speed operation is demanded, the main circuit is occupied mostly by the MIS transistor using the thin gate insulation film.

control signal CS. With this signal, the MIS transistors Tkp, Tkn are turned ON so that the first power Vdd and the second power Vss are connected directly to the CMOS inverter.

5 When this circuit is not used, that is, at waiting time, 'L' is used as the control signal CS. At this time, the MIS transistors Tkp, Tkn are turned OFF, so that the first power Vdd and the second power Vss are separated from the CMOS inverter. A leakage current between the gate and
10 source, and between the gate and drain of the MIS transistors Tnp, Tnn never flows between the first power Vdd and the second power Vss because the MIS transistors Tkp, Tkn are turned OFF. Although the CMOS inverter does not function as an inverter because no first power Vd or
15 second power Vss is supplied, an increase in power consumption due to leakage current can be suppressed by the MIS transistors Tkp, Tkn.

Next, an example of the integrated circuit device applying the embodiment of the present invention will be
20 described with reference to a block diagram shown in FIG. 42. This Figure indicates a memory device with logic in which a memory circuit and a logic circuit are provided on a same substrate as an integrated circuit, and constituted of mainly a main circuit, I/O (input/output interface)
25 circuit, memory array associate circuit, memory cell array and power supply control circuit.

The main circuit (indicated by surrounding its

two high dielectric constant insulation films.

Further because the thickness of the silicon oxide film 9 can be reduced as compared to a case where the gate insulation film 12 in the region A is comprised of only the silicon oxide film, oxidation of the interior of the isolation groove 4a can be suppressed so that stress at an end portion of the isolation groove 4a can be reduced.

Next, an example of an inverter circuit applying an embodiment of the present invention is shown in FIG. 41.

In the same Figure, a region surrounded by dotted lines indicates a CMOS inverter and T_{kp} and T_{np} denote p-channel MIS transistor while T_{kn} and T_{nn} denote n-channel MIS transistor. The gate insulation film of the MIS transistors T_{np} , T_{nn} constituting the CMOS inverter is thinner than the gate insulation film of the MIS transistors T_{kp} , T_{kn} . For example, the gate insulation film of the MIS transistors T_{np} , T_{nn} constituting the CMOS inverter is formed of high dielectric constant insulation film and its effective thickness is about 3.5 nm. The gate insulation film of the MIS transistors T_{kp} , T_{kn} is constituted of stacked film of high dielectric constant insulation film and silicon oxide film and its effective thickness is about 6 nm.

The MIS transistors T_{kp} , T_{kn} whose gate insulation films are thick are inserted in between the CMOS inverter and a first power V_{dd} /a second power V_{ss} . When processing a signal using this circuit (steady time), "H" is used as a

so as to form wiring 25 of a first wiring layer. The tungsten film can be formed according to the CVD method or sputtering method.

After this, by covering the entire surface of the semiconductor substrate 1 with passivation film, the semiconductor integrated circuit of an embodiment of the present invention is substantially completed.

As described above, according to this embodiment, after the silicon oxide film 9 is formed on the surface of the semiconductor substrate 1, the silicon oxide film 9 in the region B (region in which a gate insulation whose effective thickness is small is formed) is removed with diluted HF and after that, by forming high dielectric constant insulation film 10 on the semiconductor substrate 1, a damage or pollution to the surface of the semiconductor substrate 1 is prevented so as to form two kinds of the gate insulation films, that is, the gate insulation film 12 comprised of stacked film of the high dielectric constant insulation film 10 and the silicon oxide film 9 and the gate insulation film 11 comprised of the high dielectric constant insulation film 10 on the same semiconductor substrate 1.

Because the gate insulation film 12 in the region A is comprised of stacked film of the high dielectric constant insulation film 10 and the silicon oxide film 9, the difference in level between the region A and region B can be reduced compared to the stacked film comprised of

with wet etching and heat treatment at about 700 to 800°C is performed on the semiconductor substrate 1 in order to lower the resistance of the silicide layer 21.

Next, after silicon oxide film 22 is formed on the semiconductor substrate 1 as shown in FIG. 39, that silicon oxide film 22 is polished according to, for example, the CMP method so as to flatten its surface. The silicon oxide film 22 is comprised of TEOS oxide film deposited according to plasma CVD method that TEOS (tetra ethyl ortho silicate: $\text{Si}(\text{OC}_2\text{H}_5)_4$) and ozone (O_3) are used as source gas.

Next, as shown in FIG. 40, connecting holes 23 are formed in the silicon oxide film 22 by etching with the resist pattern as a mask. The connecting holes 23 are formed on necessary portions such as the n-type diffusion regions 19 and the p-type diffusion regions 20.

Next, titan nitride film is deposited on the entire surface of the semiconductor substrate 1 including the inside of the connecting holes 23, for example, according to the CVD method. Further, tungsten film for filling the connecting holes 23 is deposited, for example, according to the CVD method. After that, by removing the titan nitride film and tungsten film in other regions than the connecting holes 23, for example, according to the CMP method, a plug 24 is formed inside the connecting hole 23.

Subsequently, after the tungsten film is deposited on the semiconductor substrate 1, the tungsten film is processed by dry etching with the resist pattern as a mask

The n-type diffusion region 19 is formed by self-matching to the gate electrode 15n and the side wall 18, so that it functions as a source and drain of the n-channel MIS transistor.

5 Next, after the resist pattern RP19 is removed, as shown in FIG. 37, with resist pattern RP20 as a mask, p-type impurity, for example, boron fluoride is ion-implanted into the n-well 7 in the PMOS formation regions of the regions A, B so as to form p-type diffusion region 20 in
10 the n-well 9 on both sides of the gate electrode 15p. The p-type diffusion region 20 is formed by self-matching to the gate electrode 15p and the side wall 18 so that it functions as a source and drain of the p-channel MIS transistor.

15 Next, after the resist pattern RP20 is removed, as shown in FIG. 38, refractory metal film, for example, cobalt film about 10 to 20 nm in thickness is deposited on the semiconductor substrate 1 according to for example, sputtering method. Next, by performing heat treatment on
20 the semiconductor substrate 1 at about 500 to 600°C, silicide layer 21 is formed in the thickness of about 30 nm and with a resistivity of 4 Ωcm on the surface of the gate electrode 15n of the n-channel MIS transistor and the surface of the n-type diffusion region 19 and the surface
25 of the gate electrode 15p of the p-channel MIS transistor and the surface of the p-type diffusion region 20 selectively. After that, unreacted cobalt layer is removed

example, boron is ion-implanted to form halo layer. The
aforementioned arsenic is implanted in a condition that the
implantation energy is 3 keV and the dose amount is $2 \times 10^{15} \text{ cm}^{-2}$ and the aforementioned boron is implanted in a
5 condition that the implantation energy is 55 keV and the
dose amount is $1 \times 10^{13} \text{ cm}^{-2}$.

Next, after the resist pattern RP18 is removed, as
shown in FIG. 33, silicon oxide film is deposited on the
semiconductor substrate 1 according to the CVD method and
10 subsequently, by anisotropic etching the silicon oxide film,
side walls (side wall insulation films) 18 are formed on
side walls of the gate electrodes 15n, 15p. Because the
anisotropic etching makes the high dielectric constant
insulation film 10 function as an etching stopper layer,
15 damage to the semiconductor substrate 1 can be prevented.

Next, as shown in FIG. 34, the high dielectric
constant insulation film 10 exposed in a region surrounded
by the side wall 18 and the isolation region is removed by
sputter etching. Subsequently, as shown in FIG. 35, the
20 silicon oxide film 9 exposed in a region surrounded by the
side wall 18 and the isolation region in the region A is
removed with wet etching.

Next, as shown in FIG. 36, with resist pattern RP19
as a mask, n-type impurity, for example, arsenic is ion-
25 implanted into the p-well 8 in the NMOS formation region in
the regions A, B so as to form n-type diffusion region 19
in the p-well 8 on both sides of the gate electrode 15n.

well 8 on both sides of the gate electrode 15n.

Subsequently, by ion-implanting p-type impurity, for example, boron, halo layer is formed. The aforementioned arsenic is implanted in a condition that the implantation energy is 5 keV and the dose amount is $2 \times 10^{15} \text{ cm}^{-2}$ and the
5 aforementioned boron is implanted in a condition that the implantation energy is 20 keV and the dose amount is $6 \times 10^{12} \text{ cm}^{-2}$.

Next after the resist pattern RP16 is removed, as
10 shown in FIG. 31, with the resist pattern RP17 as a mask, p-type impurity, for example, boron fluoride is ion-implanted into the n-well 7 in the PMOS formation region of the region B so as to form p-type diffusion region 16b in the n-well 7 on both sides of the gate electrode 15p.
15 Subsequently, by ion-implanting n-type impurity, for example, phosphorus, halo layer is formed. The aforementioned boron fluoride is implanted in a condition that the implantation energy is 2 to 3 keV and the dose amount is $1 \times 10^{15} \text{ cm}^{-2}$ and the aforementioned phosphorus is
20 implanted in a condition that the implantation energy is 55 keV and the dose amount is $1 \times 10^{13} \text{ cm}^{-2}$.

Next, after the resist pattern RP17 is removed, as shown in FIG. 32, with resist pattern RP18 as a mask, n-type impurity, for example, arsenic is ion-implanted into
25 the p-well 8 in the NMOS formation region of the region B so as to form n-type diffusion region 17b on both sides of the gate electrode 15n. Subsequently, p-type impurity, for

mask, the silicon film 13 is etched so as to form a gate electrode (conductive piece) 15n comprised of n-type silicon polycrystal film in the NMOS formation region in the regions A, B and a gate electrode (conductive piece) 5 comprised of p-type silicon polycrystal film in the PMOS formation region in the regions A, B.

Next, after the silicon oxide film 14 is removed as shown in FIG. 28, oxidized in dry-O₂ atmosphere at about 800°C is performed on the semiconductor substrate 1.

10 Next, with the resist pattern RP15 as a mask, as shown in FIG. 29, p-type impurity, for example, boron fluoride is ion-implanted into the n-well 7 in the PMOS formation region of the regions A so as to form p-type diffusion regions 16a in the n-well 7 on both sides of the 15 gate electrode 15p. Subsequently, by ion-implanting n-type impurity, for example, phosphorous, a halo layer which functions as a punch-through stopper layer, is formed. The aforementioned boron fluoride is implanted in a condition that the implantation energy is 2 to 3 keV and the dose 20 amount is $1 \times 10^{15} \text{ cm}^{-2}$, and the aforementioned phosphorus is implanted in a condition that the implantation energy is 55 keV and the dose amount is $4 \times 10^{12} \text{ cm}^{-2}$.

Next, after the resist pattern RP15 is removed, as shown in FIG. 30, n-type impurity, for example, arsenic is 25 ion-implanted into the p-well 8 in the NMOS formation region of the region A with the resist pattern RP16 as a mask, so as to form n-type diffusion region 17a in the p-

type impurity, for example, boron is ion-implanted into the silicon film 13 in the PMOS formation region in the regions A, B with this resist pattern RP12 as a mask.

5 Next, the resist pattern 12 is removed and as shown in FIG. 23, resist pattern RP13 is formed in the PMOS formation region in the regions A, B. After that, n-type impurity, for example, phosphorus is ion-implanted into the NMOS formation region in the regions A, B with this resist pattern RP13 as a mask.

10 Next, after the resist pattern RP13 is removed, by performing heat treatment on the semiconductor substrate 1, for example at 950°C for about 60 seconds, the aforementioned n-type impurity and p-type impurity implanted into the silicon film 13 are activated. Further,
15 the silicon film 13 in the NMOS formation region in the regions A, B is turned to n-type silicon polycrystal film and the silicon film 13 in the PMOS formation region in the regions A, B is changed to p-type silicon polycrystal film.

20 After as shown in FIG. 24, silicon oxide film 14 is deposited on the semiconductor substrate 1 according to the CVD method, as shown in FIG. 25, resist pattern RP14 is formed to form gate electrodes of the n-channel and p-channel MIS transistor.

25 Next, after as shown in FIG. 26, the silicon oxide film 14 is etched with the resist pattern RP14 as a mask, the resist pattern RP14 is removed. Subsequently, as shown in FIG. 27, with the patterned silicon oxide film 14 as a

as shown in FIG. 19, the resist pattern RP11 is removed.

Next, as shown in FIG. 20, high dielectric constant insulation film 10, for example, alumina film is formed on the semiconductor substrate 1. The high dielectric
5 constant insulation film 10 can be deposited according to, for example, sputtering method. The thickness of the high dielectric constant insulation film 10 formed on the semiconductor substrate 1 is set so that its effective thickness is about 5 nm. For example, the alumina film is
10 deposited in the thickness of about 10 nm considering dielectric constant. Consequently, gate insulation film 11 comprised of the high dielectric constant insulation film 10 about 5 nm in terms of its effective thickness is formed in the region B and gate insulation film 12 comprised of
15 stacked film of the high dielectric constant film 10 and the silicon oxide film 9 about 9 to 10 nm in terms of its effective thickness is formed in the region A.

Before forming the aforementioned high dielectric constant insulation film 10 on the semiconductor substrate
20 1, silicon oxide film or silicon nitride film, or silicon oxide nitride film less than 1 nm or less may be formed to stabilize an interface with the semiconductor substrate 1.

Next, as shown in FIG. 21, silicon film 13 about 200 nm thick is deposited on the semiconductor substrate 1
25 according to the CVD method.

Next, as shown in FIG. 22, after resist pattern 12 is formed in the NMOS formation region in the regions A, B, p-

low V_{th} NMOS formation region in the region A with the resist pattern RP9 as a mask. The aforementioned boron fluoride is implanted in a condition that the implantation energy is 25 keV and the dose amount is $2 \times 10^{12} \text{ cm}^{-2}$.

5 Subsequently, after the resist pattern RP9 is removed, as shown in FIG. 15, n-type impurity, for example, phosphorus is ion-implanted into the channel region of the low V_{th} PMOS formation region in the region A with resist pattern RP10 as a mask. The aforementioned phosphorous is
10 implanted in a condition that the implantation energy is 20 keV and the dose amount is $5 \times 10^{12} \text{ cm}^{-2}$.

Next, after the resist pattern RP10 is removed, as shown in FIG. 16, the protective film 5 is removed and the silicon oxide film 9 is formed on the surface of the
15 semiconductor substrate 1, for example, in the thickness of 4 to 5 nm. The silicon oxide film 9 can be formed according to the thermal CVD method or thermal oxidation method. Meanwhile, the aforementioned silicon oxide film may be turned to silicon nitride film by nitriding the
20 semiconductor substrate 1 thermally. The aforementioned thermal nitration is carried out with the semiconductor 1 heated at about 900°C in a pressure reduced atmosphere containing nitrogen made radical by plasma discharge.

Next, as shown in FIG. 17, after the region A is
25 covered with the resist pattern RP1, as shown in FIG. 18, the silicon oxide film 9 in the region B is removed using diluted HF with resist pattern RP11 as a mask. After that,

10^{13} cm^{-2} .

Subsequently, the resist pattern RP5 is removed and after that, as shown in FIG. 11, n-type impurity, for example, phosphorous is ion-implanted into the channel region of the high V_{th} PMOS formation region in the region B with resist pattern RP6 as a mask. The aforementioned phosphorus is implanted in a condition that the implantation energy is 20 keV and the dose amount is $1.1 \times 10^{13} \text{ cm}^{-2}$.

After the resist pattern RP6 is removed, as shown in FIG. 12, p-type impurity, for example, boron fluoride is ion-implanted into the channel region of the high V_{th} NMOS formation region in the region A with the resist pattern RP7 as a mask. The aforementioned boron fluoride is implanted in a condition that the implantation energy is 25 keV and the dose amount is $8 \times 10^{12} \text{ cm}^{-2}$.

Subsequently, after the resist pattern RP7 is removed, as shown in FIG. 13, n-type impurity, for example, phosphorous is ion-implanted into the channel region of the high V_{th} PMOS formation region in the region A with the resist pattern RP8 as a mask. The aforementioned phosphorous is implanted in a condition that the implantation energy is 20 keV and the dose amount is $1 \times 10^{13} \text{ cm}^{-2}$.

Subsequently, after the resist pattern RP8 is removed, as shown in FIG. 14, p-type impurity, for example, boron fluoride is ion-implanted into the channel region of the

formation regions in the regions A, B, a n-well 7 is formed. The aforementioned phosphorous is implanted in a condition that the implantation energy is 500 to 100 keV and the dose amount is 5×10^{11} to $5 \times 10^{12} \text{ cm}^{-2}$. By ion-implanting twice
5 or three times continuously with changed energy, a retrograde well is formed.

Next, after the resist pattern RP3 is removed, the PMOS formation regions in the regions A, B are covered with pattern RP4 and then, by ion-implanting p-type impurity,
10 for example, boron or boron fluoride into the NMOS formation regions in the regions A, B, n well 8 is formed. The aforementioned boron or boron fluoride is implanted in a condition that the implantation energy is 500 to 100 keV and the dose amount is 5×10^{11} to $5 \times 10^{12} \text{ cm}^{-2}$ and
15 retrograde well is formed by ion-implanting twice or three times continuously with changed energy.

Next, after the resist pattern RP4 is removed, impurity for adjusting the V_{th} of the MIS transistor is ion-implanted into each channel region of the n-well 7 and
20 p-well 8. The ion implantation into the channel region is carried out in the following manner.

First as shown in FIG. 10, p-type impurity, for example, boron fluoride is ion-implanted into the channel region of high V_{th} NMOS formation region in the region B
25 with the resist pattern RP5 as a mask. The aforementioned boron fluoride is implanted in a condition that the implantation energy is 25 keV and the dose amount is $2.5 \times$

Next, after silicon oxide film (not shown) is formed by oxidizing the semiconductor substrate 1 thermally, as shown in FIG. 5, silicon oxide film 4b is deposited on the semiconductor substrate 1 according to the CVD method.

5 As shown in FIG. 6, by polishing the silicon oxide film 4b according to the CMP (chemical mechanical polishing) method, the silicon oxide film 4b is left inside the isolation groove 4a to form an isolation region. After that, by conducting heat treatment upon the semiconductor substrate 1 at about 1,000°C, the silicon oxide film 4b
10 embedded in the isolation groove 4a is hardened. Next, the silicon nitride film 3 is removed with heated phosphoric acid and subsequently, the silicon oxide film 2 left on the surface of the semiconductor substrate 1 is removed with
15 diluted HF and a protective film 5 is formed on the surface of the semiconductor substrate 1 by oxidizing the semiconductor substrate 1 thermally.

Next, as shown in FIG. 7, by ion-implanting n-type impurity, for example, phosphorus into the semiconductor substrate 1 with resist pattern RP2 as a mask, deep well 6
20 is formed. The aforementioned phosphorous is implanted in a condition that the implantation energy is 1-3 MeV and the dose amount is $1 \times 10^{12} - 5 \times 10^{12} \text{ cm}^{-2}$.

After the resist pattern RP2 is removed, as shown in
25 FIG. 8, the NMOS formation regions in the regions A, B are covered with resist pattern RP3 and by ion-implanting n-type impurity, for example, phosphorous into the PMOS

referred to as V_{th}), p-channel MIS transistor (hereinafter referred to as low V_{th} PMOS) having a low V_{th} , n-channel MIS transistor (hereinafter referred to as high V_{th} NMOS) having a high V_{th} and p-channel MIS transistor (hereinafter referred to as high V_{th} PMOS) having a high V_{th} are formed and that is, eight kinds of the MIS transistors are formed on the same substrate.

First, as shown in FIG. 1, a semiconductor substrate comprised of for example, p-type silicon crystal is prepared. Next, thin silicon oxide film 2 about $0.01\text{ }\mu\text{m}$ is formed by oxidizing this semiconductor substrate 1 thermally and a silicon nitride film 3 about $0.1\text{ }\mu\text{m}$ is deposited according to CVD (chemical vapor deposition) method.

After that, as shown in FIG. 2, resist pattern RP1 is formed on the silicon nitride film 3. This resist pattern RP can be formed with ordinary photography technology. That is, the resist pattern RP is formed by exposing that photo resist film to light or developing it after the photo resist film is applied to the semiconductor substrate 1.

As shown in FIG. 3, the silicon nitride film 3 is etched with the resist pattern RP1 as a mask and then the resist pattern RP1 is removed. Next, as shown in FIG. 4, the silicon oxide film 2 and the semiconductor substrate 1 are dry-etched with the patterned silicon nitride film 3 so as to form an isolation groove 4a about $0.35\text{ }\mu\text{m}$ deep in the semiconductor substrate 1 in an isolation region.

FIG. 43 is an equivalent circuit diagram showing an example of an inverter using a thick gate insulation film in an I/O circuit;

FIG. 44 is an equivalent circuit diagram showing an example of an inverter using a thin gate insulation film in its main circuit; and

FIG. 45 is an equivalent circuit diagram showing an example of a memory cell which constitutes a memory cell array.

10

BEST MODE FOR CARRYING OUT THE INVENTION

Hereinafter, an embodiment of the present invention will be described in detail with reference to the accompanying drawing. Like reference numerals are attached to components having the same function in all drawings for explaining the embodiments and repeated description thereof is omitted.

An example of the manufacturing method for the semiconductor integrated circuit device according to an embodiment of the present invention will be described using major part sectional views of the semiconductor substrate shown in FIGS. 1-40. In the Figures, a region A indicates a region in which a gate insulation film having a larger effective thickness is formed and the region B indicates a region in which a gate insulation film having a smaller effective thickness is formed. In the regions A, B, n-channel MIS transistor (hereinafter referred to as low V_{th} NMOS) having a low threshold value voltage (hereinafter

order of steps;

FIG. 37 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 38 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 39 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 40 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 41 is an equivalent circuit diagram showing an example of a CMOS inverter to which an embodiment of the present invention is applied;

FIG. 42 is a circuit block diagram showing an example of an integrated circuit device to which an embodiment of the present invention is applied;

manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 32 is a major part sectional view of a
5 semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 33 is a major part sectional view of a
10 semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 34 is a major part sectional view of a
15 semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 35 is a major part sectional view of a
20 semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 36 is a major part sectional view of a
25 semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the

FIG. 26 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the
5 order of steps;

FIG. 27 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the
10 order of steps;

FIG. 28 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the
15 order of steps;

FIG. 29 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the
20 order of steps;

FIG. 30 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the
25 order of steps;

FIG. 31 is a major part sectional view of a semiconductor substrate showing an example of the

according to an embodiment of the present invention in the order of steps;

FIG. 21 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 22 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 23 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 24 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 25 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

5 FIG. 16 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

10 FIG. 17 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

15 FIG. 18 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

20 FIG. 19 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

25 FIG. 20 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit

order of steps;

FIG. 10 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 11 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 12 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 13 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 14 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

FIG. 15 is a major part sectional view of a

manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

5 FIG. 5 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

10 FIG. 6 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

15 FIG. 7 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

20 FIG. 8 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

25 FIG. 9 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the

conductive pieces; forming a third insulation film on the first and second conductive pieces and side walls; forming a first side wall insulation film on the side wall of the first conductive piece and a second side wall insulation film on the side wall of the second conductive piece by anisotropic etching the third insulation film; and introducing a second impurity of first conductive type so as to form a second semiconductor region on the surface of the semiconductor substrate on both sides of the first and second side wall insulation films.

10

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

15

FIG. 2 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

20

FIG. 3 is a major part sectional view of a semiconductor substrate showing an example of the manufacturing method of a semiconductor integrated circuit according to an embodiment of the present invention in the order of steps;

25

FIG. 4 is a major part sectional view of a semiconductor substrate showing an example of the

semiconductor substrate and a second conductive piece formed above the semiconductor substrate through a second gate insulation film in a region between the pair of the second semiconductor regions, wherein the thickness of the first gate
5 insulation film is larger than the thickness of the second gate insulation film and the first gate insulation film is comprised of the first insulation film located on the semiconductor substrate and the second insulation film located on the first insulation film; and wherein the second gate insulation film is
10 comprised of a third insulation film located on the semiconductor substrate and the dielectric constant of the second and third insulation films is larger than the dielectric constant of the first insulation film.

A manufacturing method of semiconductor integrated
15 circuit device of the present invention comprises the steps of: forming a first insulation film on the surface of the semiconductor substrate in a first region of the semiconductor substrate and a second region different from the first region; selectively removing the first insulation film in the second
20 region with the first insulation film in the first region being left; forming a second insulation film on the first insulation film in the first region and on the semiconductor substrate in the second region; forming a first conductive layer on the second insulation film; forming a first conductive piece in the
25 first region and a second conductive piece in the second region by patterning the first conductive layer; introducing a first impurity of first conductive type so as to form the first semiconductor region on the surface of the semiconductor substrate on both sides of each of the first and second

trouble occurs in forming step for the gate and forming step for an opening used for passing wiring.

(2) A high selectivity to the substrate and resist film is possessed and new etching technology for a high dielectric constant insulation film free of etching damage and pollution to a substrate needs to be developed.

An object of the present invention is to provide a technology for forming a gate insulation film having a high reliability and at the same time, facilitating manufacturing of a MIS transistor in a semiconductor integrated circuit device containing plural kinds of the MIS transistors each having a different thickness of gate insulation film.

The aforementioned and other objects and novel features of the present invention will be apparent from a description of this specification and accompanying drawings.

DISCLOSURE OF THE INVENTION

The typical ones of the inventions disclosed in this application will be briefly described as follows.

A semiconductor integrated circuit device of the present invention comprising: a semiconductor substrate; a first MIS transistor including a pair of first semiconductor regions formed in the semiconductor substrate and a first conductive piece formed above the semiconductor substrate through a first gate insulation film in a region between the pair of the first semiconductor regions; and a second MIS transistor including a pair of second semiconductor regions formed in the

forming two kinds of MIS transistors comprised of each gate insulation film by employing a high dielectric constant insulation film on two kinds of gate insulation films each having a different thickness. The following is the
5 technology considered by the present inventors and it is summarized as below.

First, a first high dielectric constant insulation film is formed on a substrate and after that, the first high dielectric constant insulation film is removed with a
10 resist film as a mask. Next, after the resist film is removed, washing processing is carried out on the substrate and a second high dielectric constant insulation film is formed on the substrate. Consequently, a thin gate insulation film is formed of the second high dielectric
15 constant insulation film in the first region so that a thick gate insulation film is formed of the first and second high dielectric constant insulation films in a second region different from the first region. By forming gate, source, drain and wiring, a MIS transistor having the
20 thin gate insulation film is formed in the first region and a MIS transistor having a thick insulation film is formed in the second region.

However, it is made evident that the fabrication method of the MIS transistor has following problems.

25 (1) When a difference in level of 20 nm or more is formed between the first region and the second region due to a difference in thickness of the gate insulation film, a

logical LSI, plural kinds of MIS transistors whose gate insulation film differs in thickness are formed on the same substrate.

Japanese Patent Application Laid-Open No. 2001-15612
5 has disclosed a technology that two kinds of silicon oxide films each having a different thickness are formed on the same substrate so as to serve as MIS transistor gate insulation film.

In a MIS transistor whose gate electrode width
10 (hereinafter referred to as gate length) is less than 0.1 μm , it is expected that the thickness of the gate insulation film is less than 1.2 nm. However, if the silicon oxide film, which has been conventionally used as a gate insulation film, is formed in the thickness of less
15 than 1.2 nm, there occurs a problem that leakage current exceeds $10\text{A}/\text{cm}^2$, so that for example standby current increases.

Thus, a trial for reducing an effective thickness with physical film thickness maintained at 2 nm or more has
20 been made by using an insulation film whose dielectric constant is relatively high (hereinafter referred to as high dielectric constant film), for example, alumina film (Al_2O_3) whose dielectric constant is about 7 as a gate insulation film. The effective thickness means silicon
25 oxide (SiO_2) converted film thickness considering dielectric constant.

The present inventors considered a technology for

SPECIFICATION

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
AND MANUFACTURING METHOD THEREOF

5

TECHNICAL FIELD

The present invention relates to a manufacturing technology of semiconductor integrated circuit device and more particularly to a technology effectively applicable
10 for semiconductor integrated circuit device incorporating plural kinds of MISs (metal insulator semiconductor) each having a different thickness of gate insulation film.

BACKGROUND ART

15 To achieve high integration and reduction of power of the semiconductor integrated circuit device, the operating voltage of the semiconductor device has been reduced as the generation advances. At this time, to maintain and improve device performance, the MIS transistor has been
20 miniaturized according to the scaling rule and its gate insulation film has been reduced in size. On the other hand, to reduce power consumption, maintain memory information or correspond to an external power supply voltage, a MIS transistor having a relatively thick gate
25 insulation film has been required. For example, because the operating voltage differs between its internal circuit and I/O circuit in case of LSI (large scale integrated circuit) or CMOS (complementary metal oxide semiconductor) .

THIS PAGE BLANK (USPTO)

C (続き). 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
X Y A	JP 2001-284463 A (日本電気株式会社) 2001. 10. 12 全文, 図1-6 全文, 図1-6 全文, 図1-6 (ファミリーなし)	7-11, 12-18 19 1-6
X Y A	JP 2001-298095 A (日本電気株式会社) 2001. 10. 26 全文, 図1-3 全文, 図1-3 全文, 図1-3 (ファミリーなし)	7-11, 12-18 19 1-6
X Y A	JP 6-222387 A (シャープ株式会社) 1994. 08. 12 全文, 図1-6 全文, 図1-6 全文, 図1-6 (ファミリーなし)	12-15, 17 19 1-11, 16, 18
X Y A	JP 11-204654 A (エルジー セミコン カンパニー リミテッド) 1999. 07. 30 全文, 図1-6 全文, 図1-6 全文, 図1-6 & KR 99056800 A & US 6194257 B1	12-15, 17 19 1-11, 16, 18
Y A	US 5241208 A (Kabushiki Kaisha Toshiba) 1993. 08. 31 全文, FIG. 1-4 全文, FIG. 1-4 & JP 4-122063 A & KR 9510054 A	19 1-18

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl⁷ H 01 L 27 / 088

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl⁷ H 01 L 27 / 088, H 01 L 21 / 8234, H 01 L 29 / 78, H 01 L 21 / 336,
H 01 L 27 / 108, H 01 L 21 / 8242

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年,	日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2002年,	日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 8-250742 A (株式会社東芝) 1996. 09. 27 全文, 図1-5 全文, 図1-5 全文, 図1-5 (ファミリーなし)	1-6, 12-17 19 7-11, 18

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

25. 01. 02

国際調査報告の発送日

05.02.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA / JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

安田 雅彦

4 L

9447

電話番号 03-3581-1101 内線 3498

THIS PAGE BLANK (USF.O)

INTERNATIONAL SEARCH REPORT

International application No.

P/JP01/10492

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 6-222387 A (Sharp Corporation), 12 August, 1994 (12.08.1994), Full text; Figs. 1 to 6	12-15, 17 19
Y	Full text; Figs. 1 to 6	1-11, 16, 18
A	Full text; Figs. 1 to 6 (Family: none)	
X	JP 11-204654 A (LG Semicon. Co., Ltd.), 30 July, 1999 (30.07.1999), Full text; Figs. 1 to 6	12-15, 17 19
Y	Full text; Figs. 1 to 6	1-11, 16, 18
A	Full text; Figs. 1 to 6 & KR 99056800 A & US 6194257 B1	
Y	US 5241208 A (Kabushiki Kaisha Toshiba), 31 August, 1993 (31.08.1993), Full text; Figs. 1-4	19 1-18
A	Full text; Figs. 1-4 & JP 4-122063 A & KR 9510054 A	

THIS PAGE BLANK (USP10)

INTERNATIONAL SEARCH REPORT

International application No.

JP01/10492

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L27/088

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/088, H01L21/8234, H01L29/78, H01L21/336,
H01L27/108, H01L21/8242

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996
Toroku Jitsuyo Shinan Koho 1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 8-250742 A (Toshiba Corporation), 27 September, 1996 (27.09.1996), Full text; Figs. 1 to 5	1-6, 12-17
Y	Full text; Figs. 1 to 5	19
A	Full text; Figs. 1 to 5 (Family: none)	7-11, 18
X	JP 2001-284463 A (NEC Corporation), 12 October, 2001 (12.10.2001), Full text; Figs. 1 to 6	7-11, 12-18
Y	Full text; Figs. 1 to 6	19
A	Full text; Figs. 1 to 6 (Family: none)	1-6
X	JP 2001-298095 A (NEC Corporation), 26 October, 2001 (26.10.2001), Full text; Figs. 1 to 3	7-11, 12-18
Y	Full text; Figs. 1 to 3	19
A	Full text; Figs. 1 to 3 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"B" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
25 January, 2002 (25.01.02)

Date of mailing of the international search report
05 February 2002 (05.02.02)

Name and mailing address of the ISA/
Japanese Patent Office

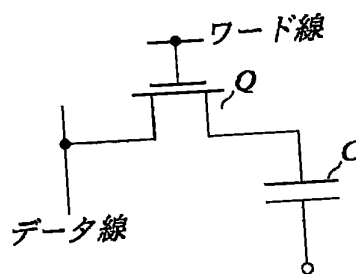
Authorized officer

Facsimile No.

Telephone No.

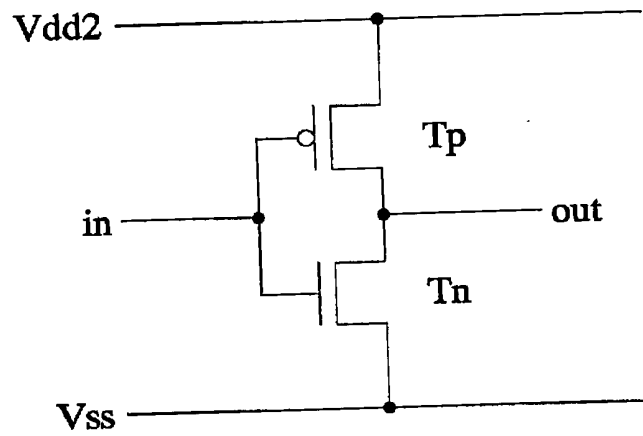
THIS PAGE BLANK (USPTO)

図 45



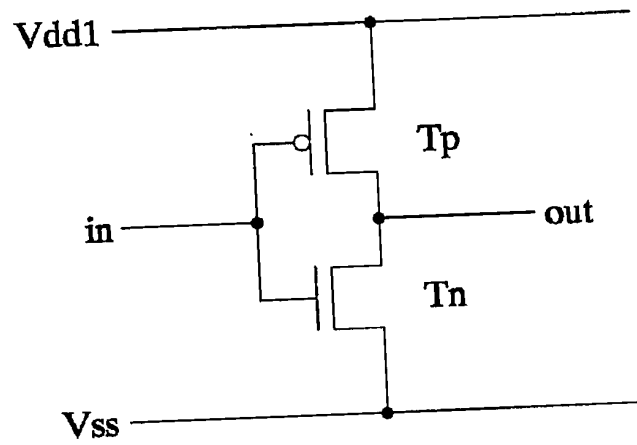
THIS PAGE BLANK (USP 10)

44



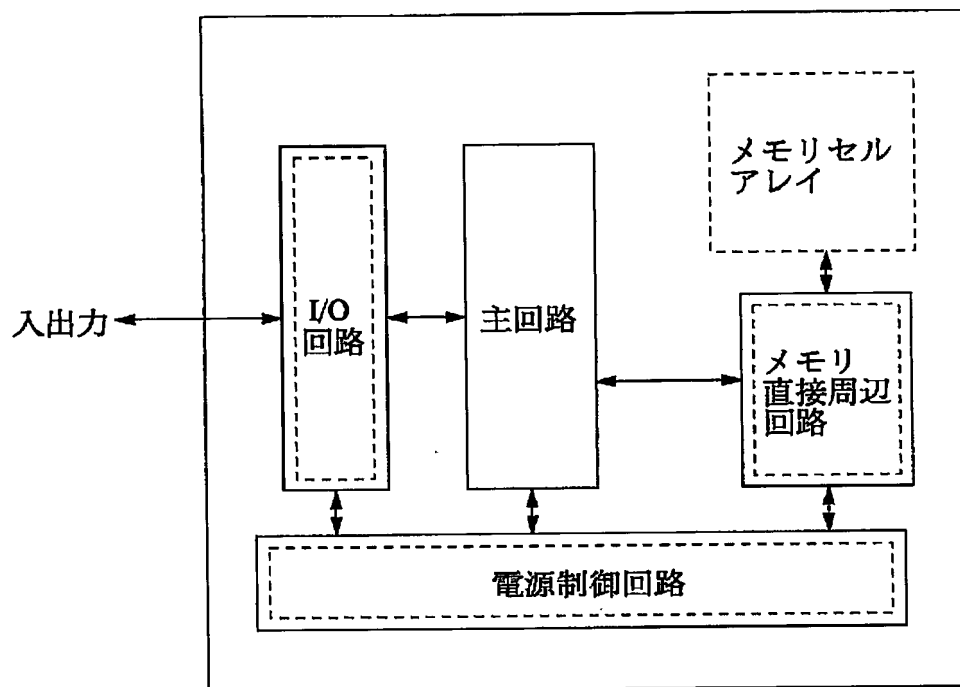
THIS PAGE BLANK (USF10)

43



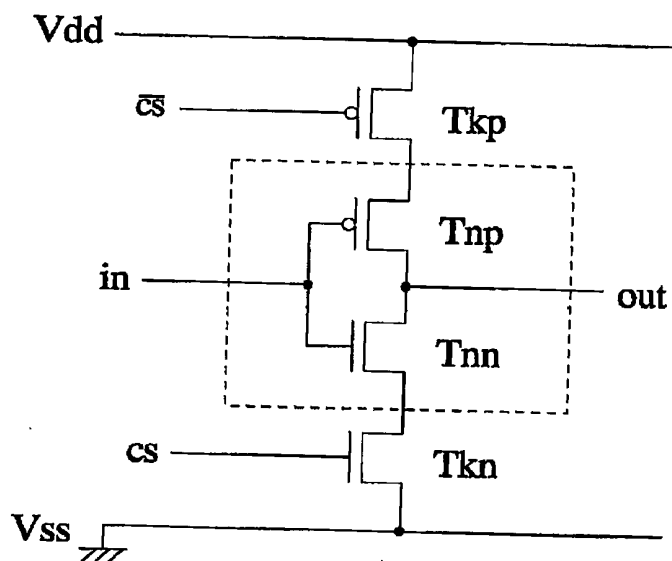
THIS PAGE BLANK (USPTO)

図 42



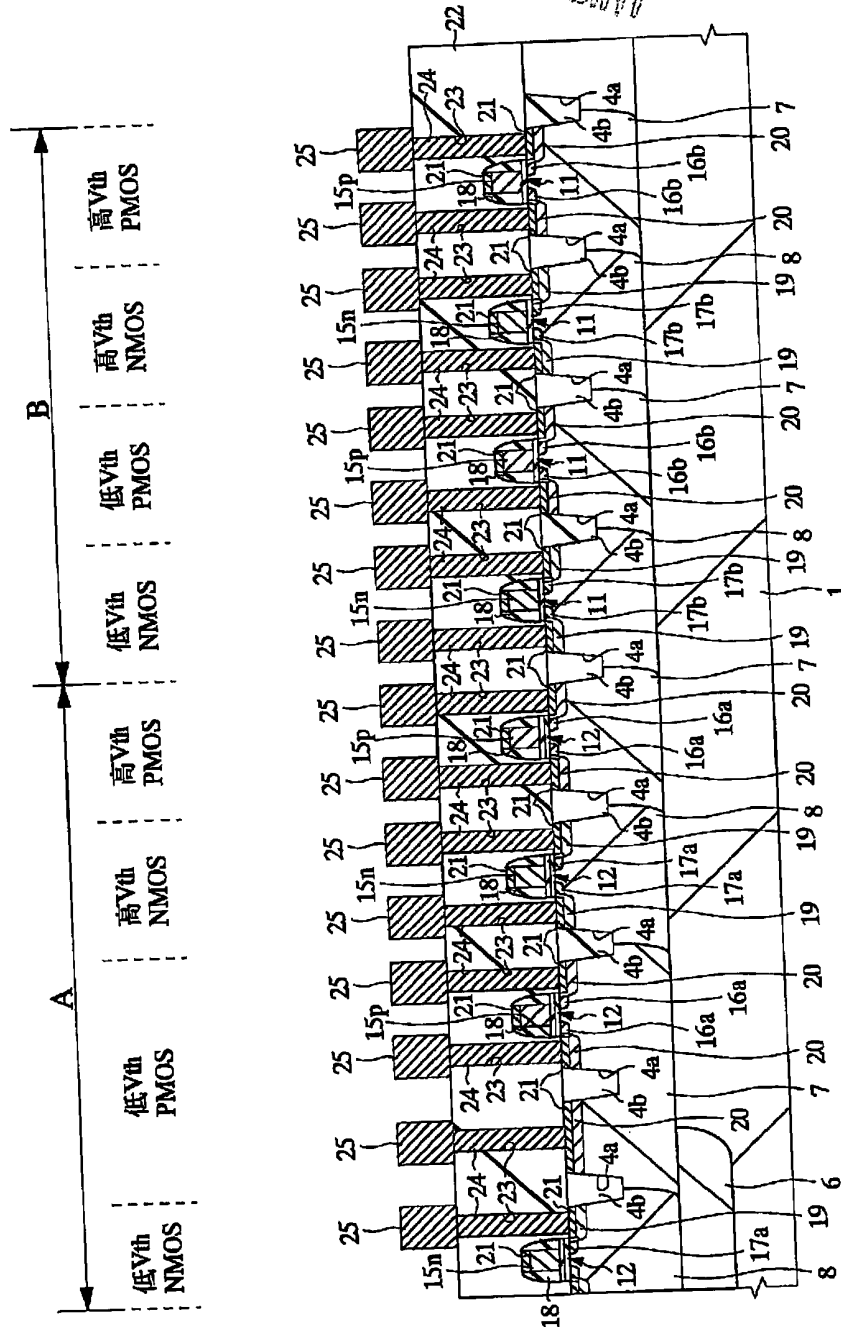
THIS PAGE BLANK (USPTO)

FIG. 4-1



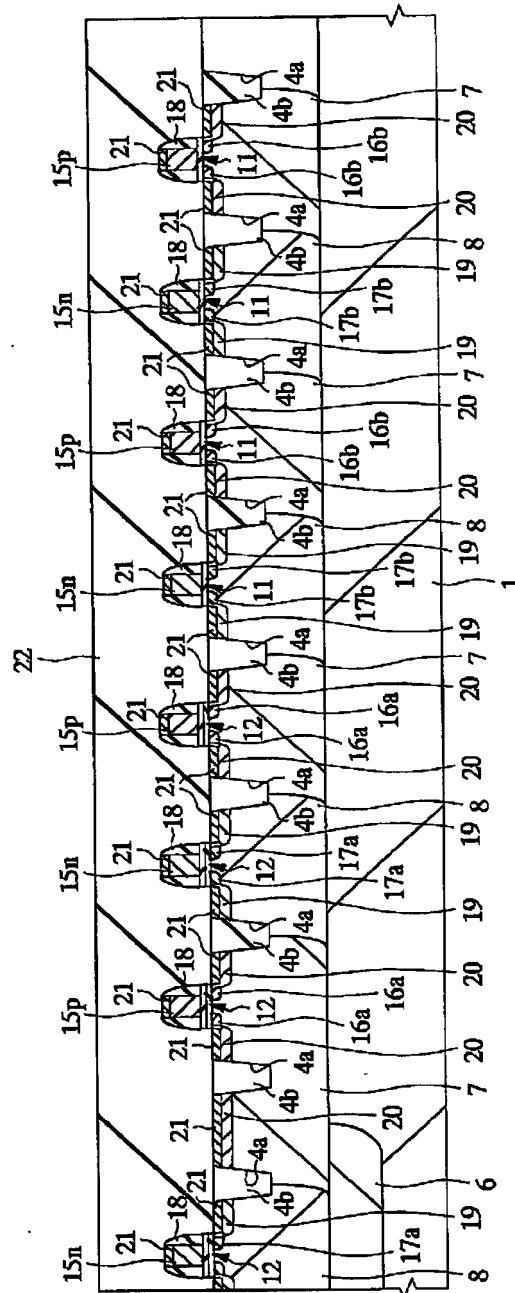
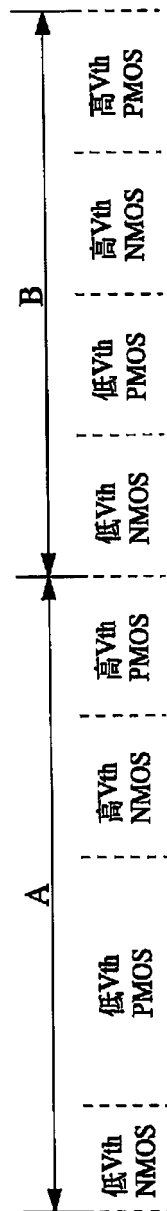
THIS PAGE BLANK (USPTO)

図 40



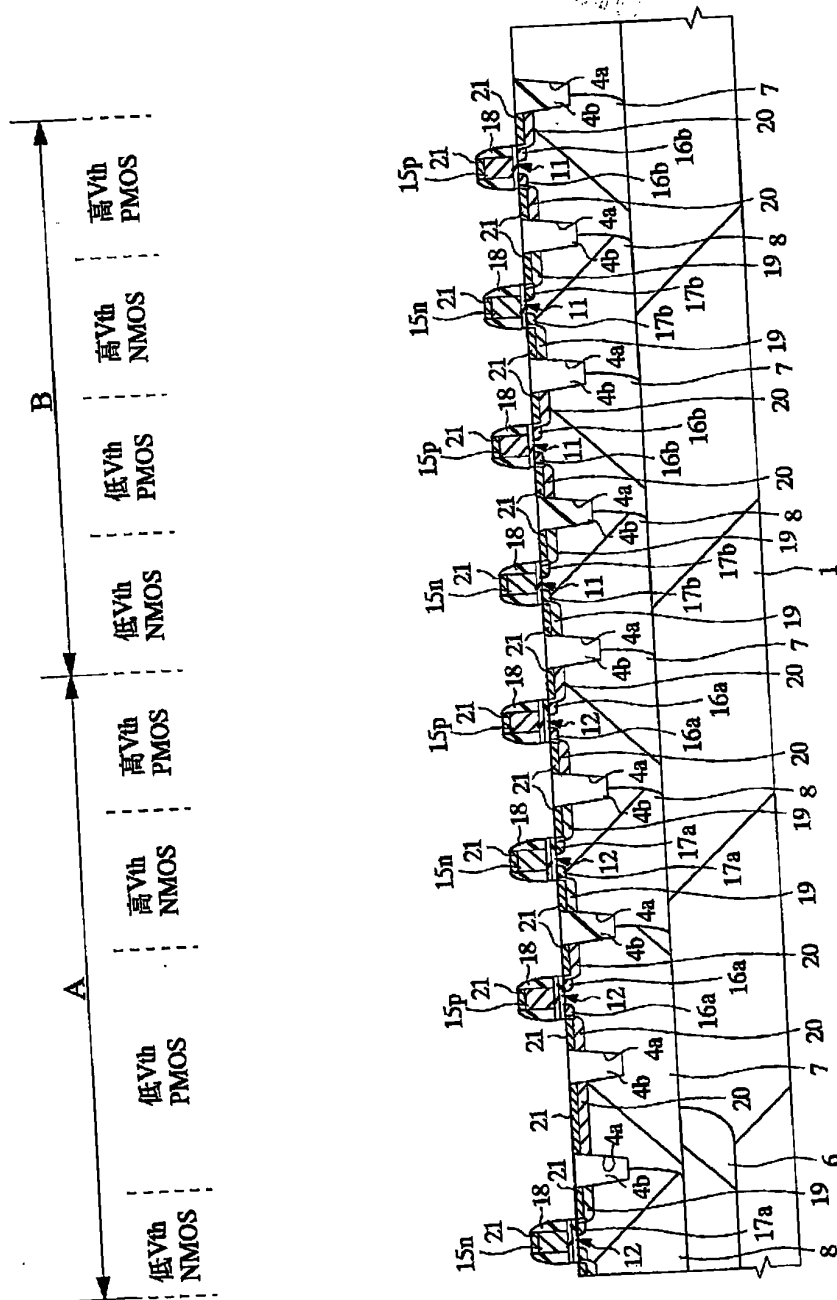
THIS PAGE BLANK (USP10)

39



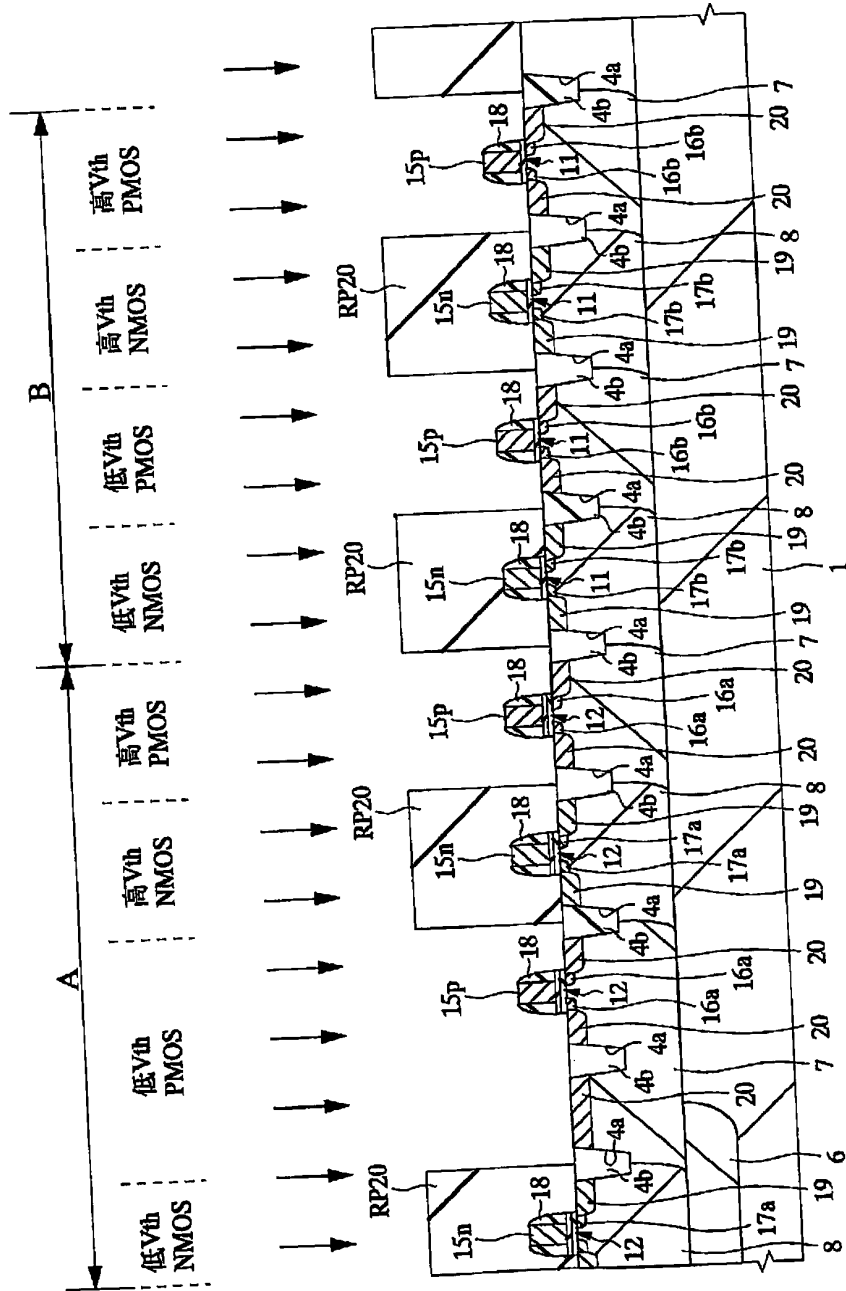
THIS PAGE BLANK (USP, 0)

38



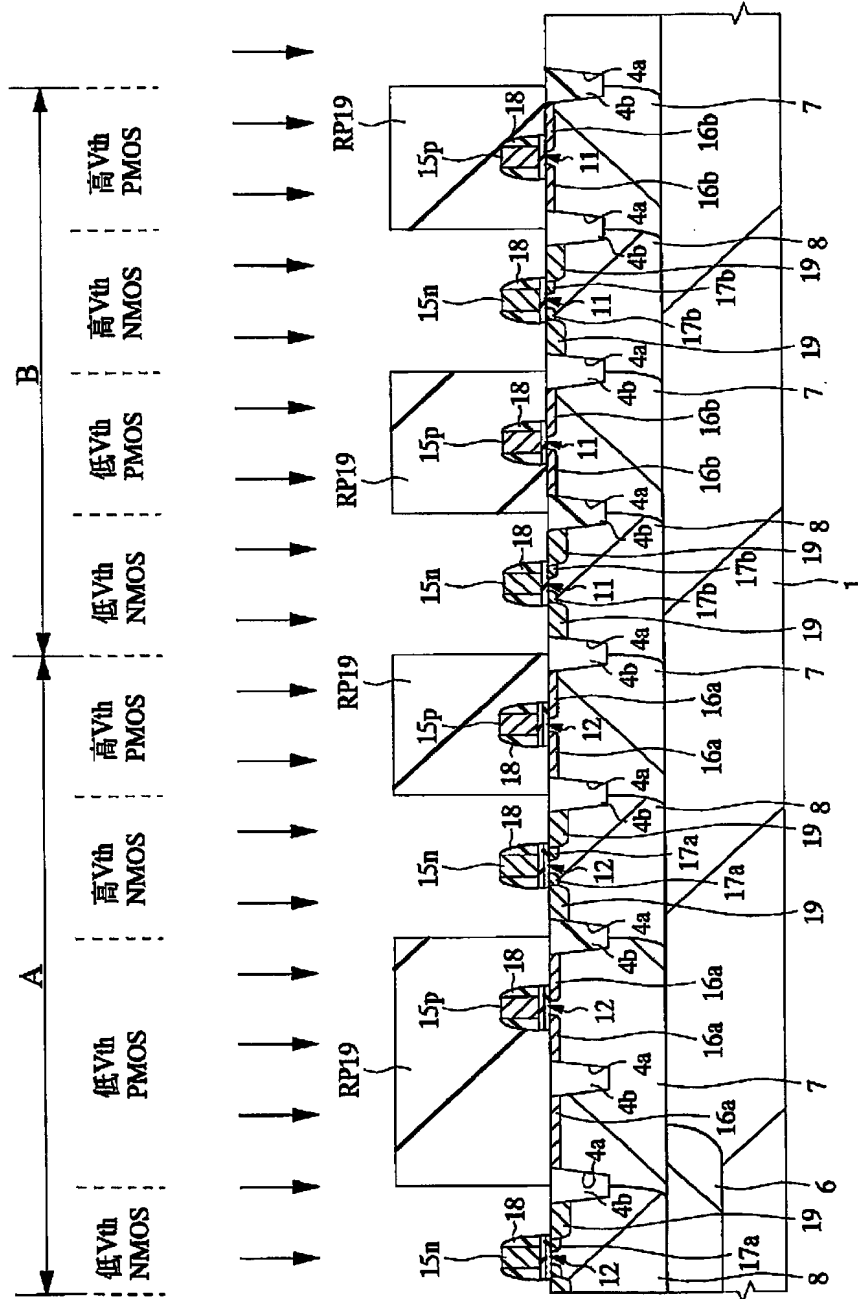
THIS PAGE BLANK (USPTO)

図 37



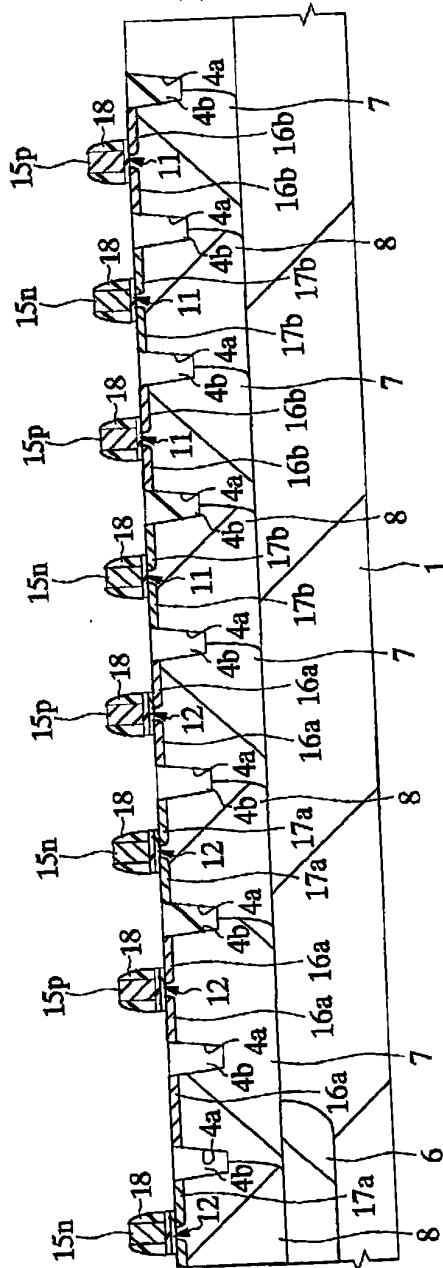
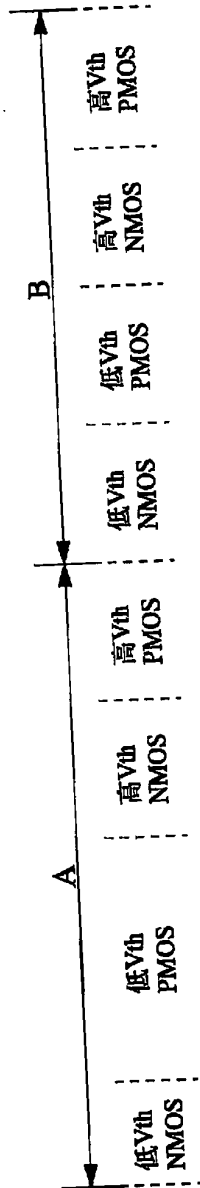
THIS PAGE BLANK (USP:0)

36



THIS PAGE BLANK (USPTO)

35

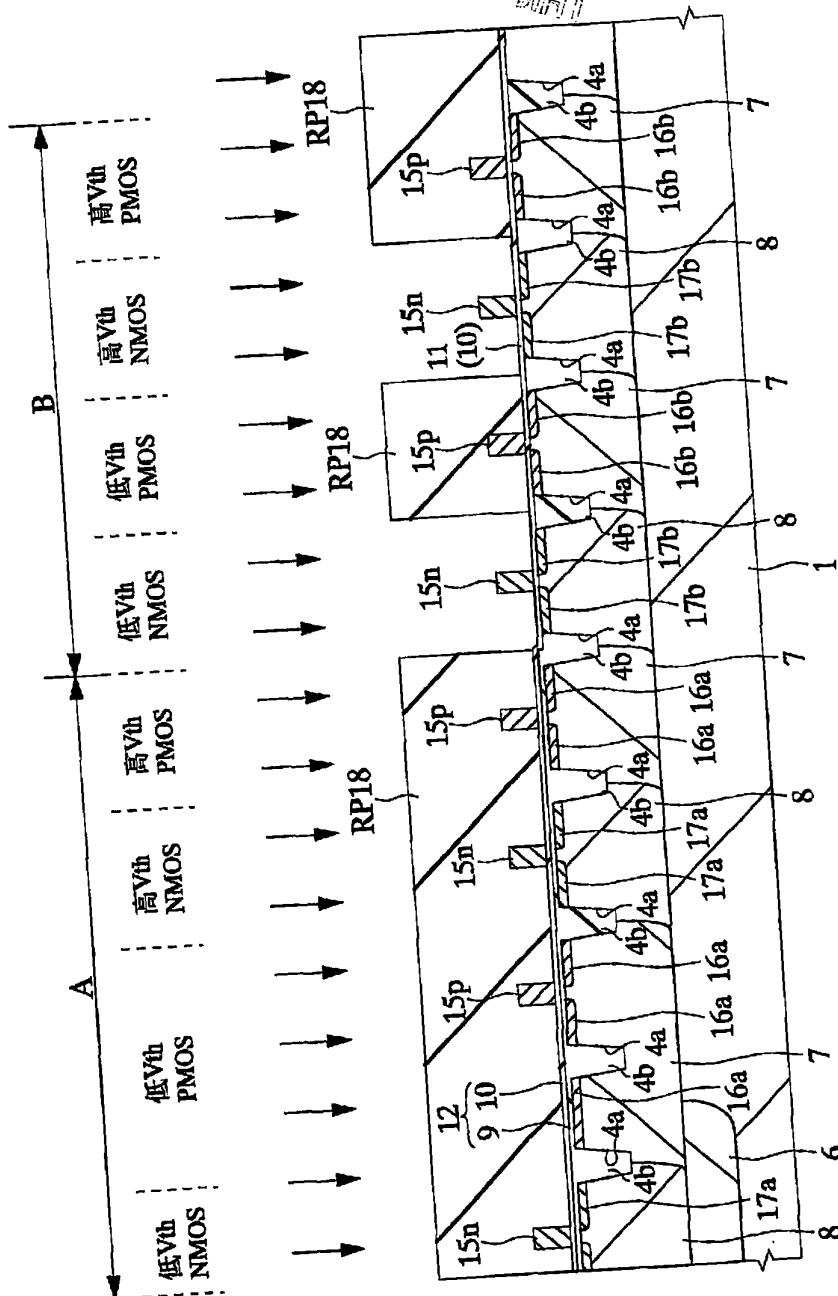


THIS PAGE BLANK (USP 10)

THIS PAGE BLANK (USPTO)

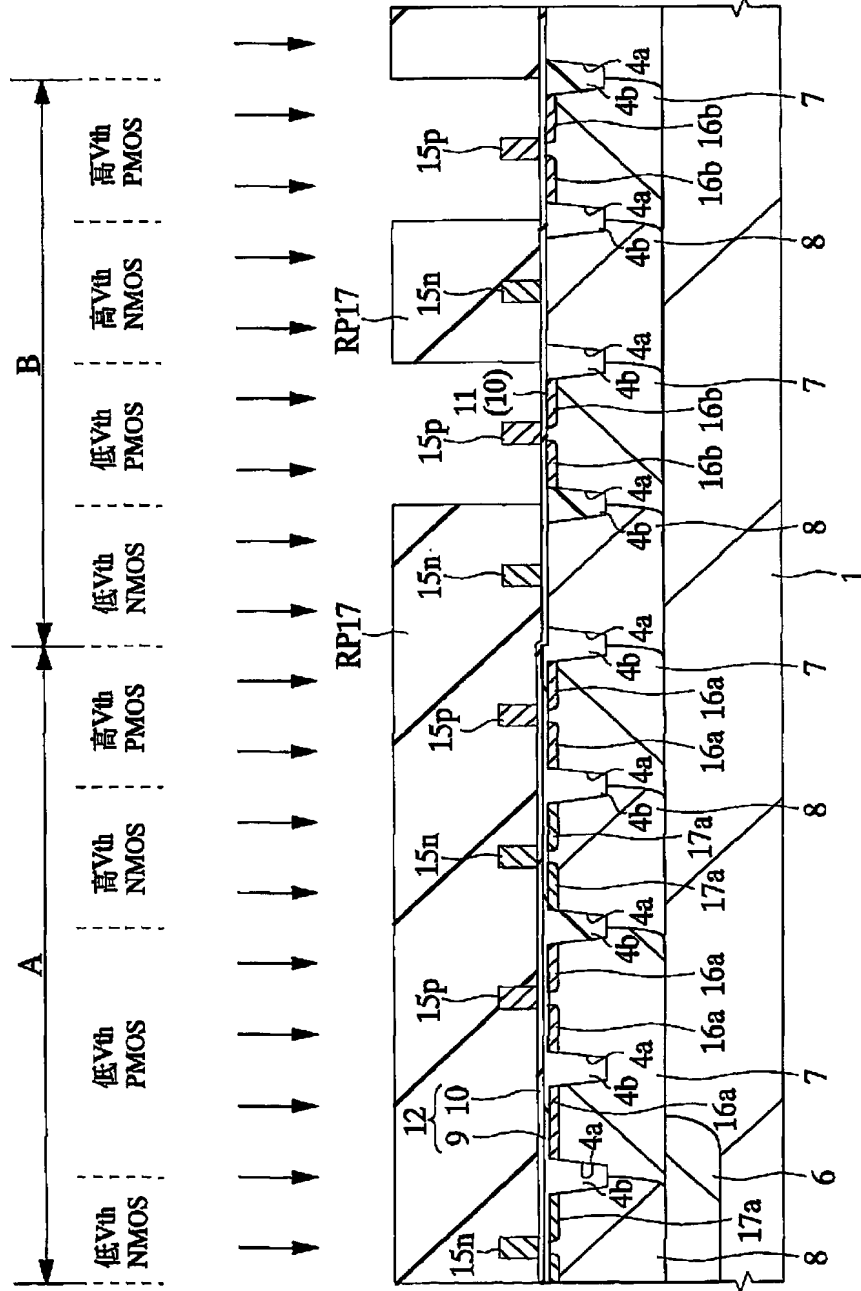
THIS PAGE BLANK (USPTO)

32



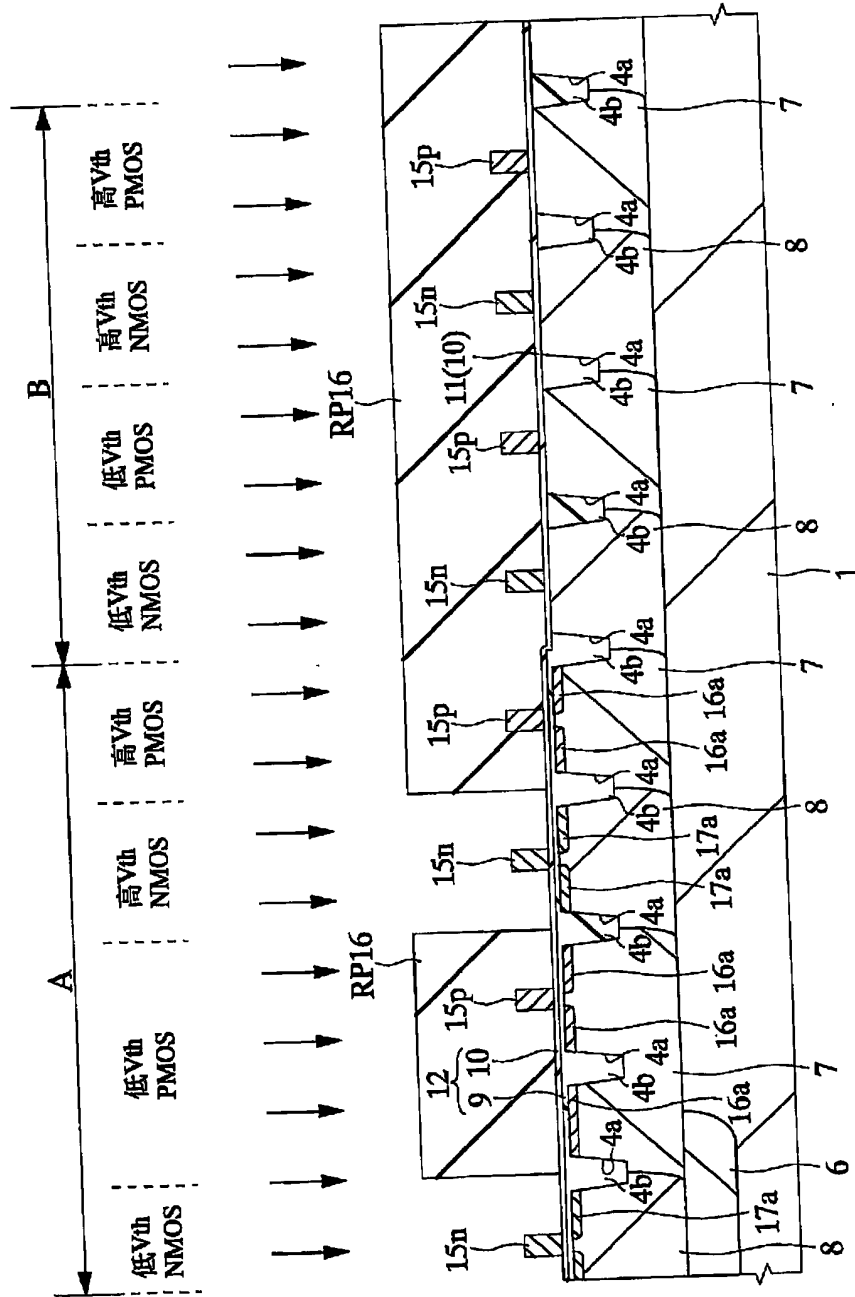
THIS PAGE BLANK (USPTM 0)

図 31



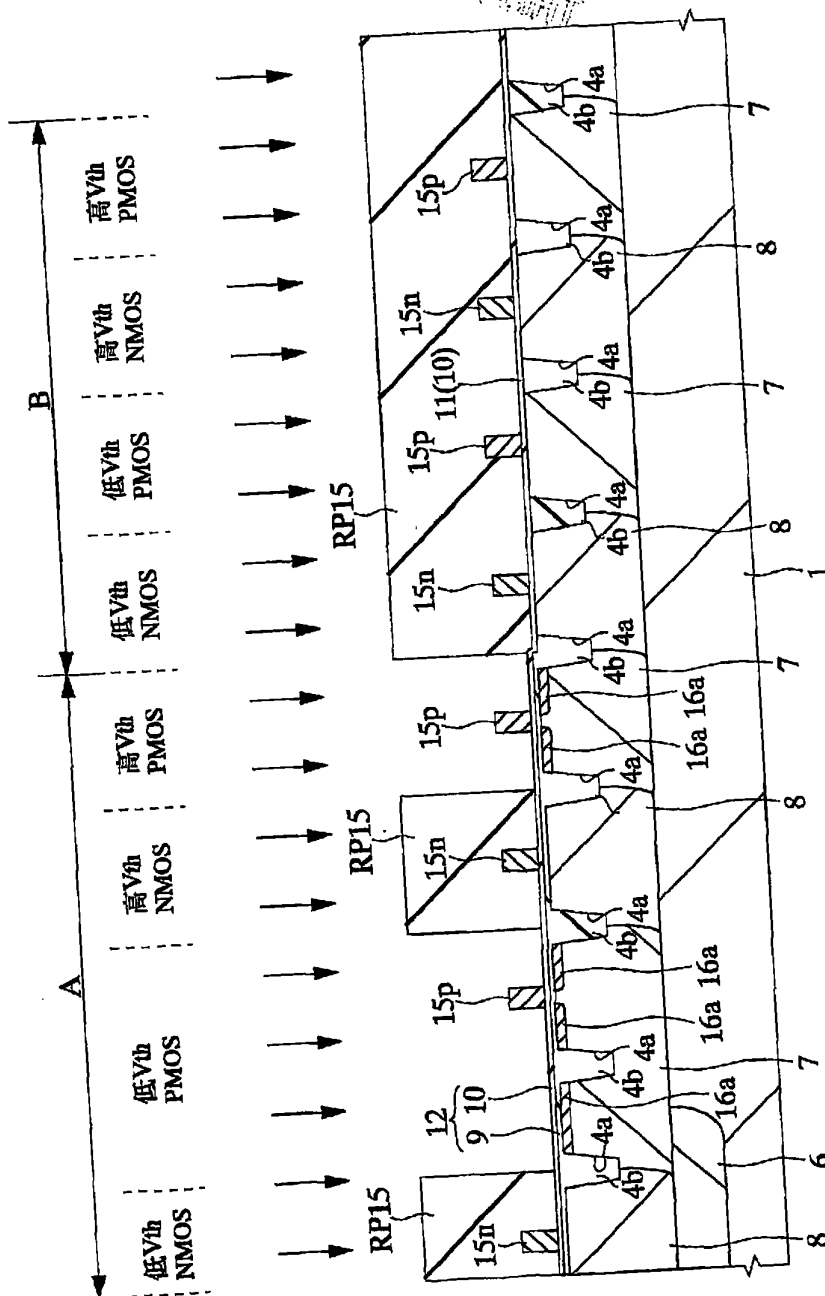
THIS PAGE BLANK (USP, 0)

図 30



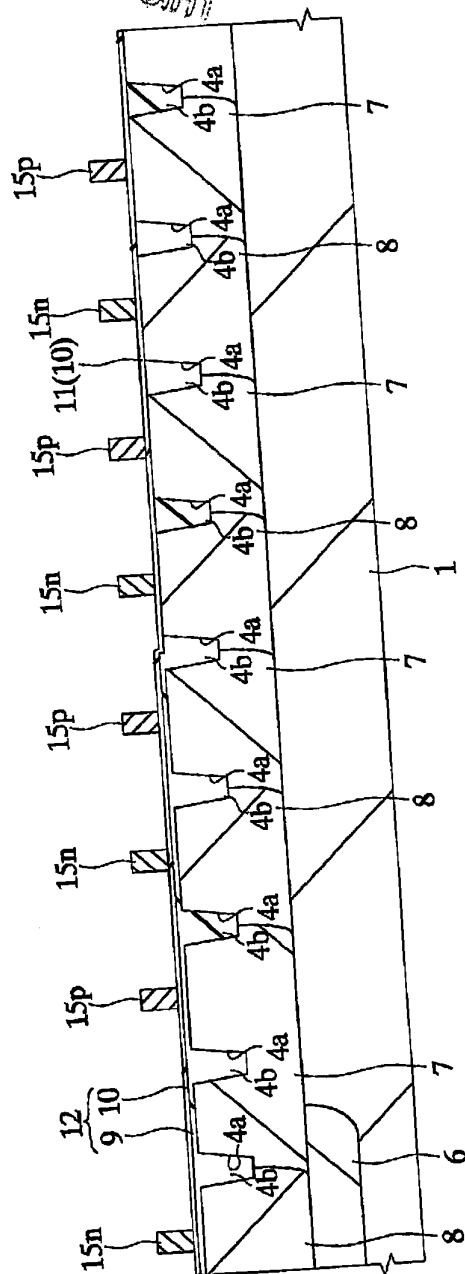
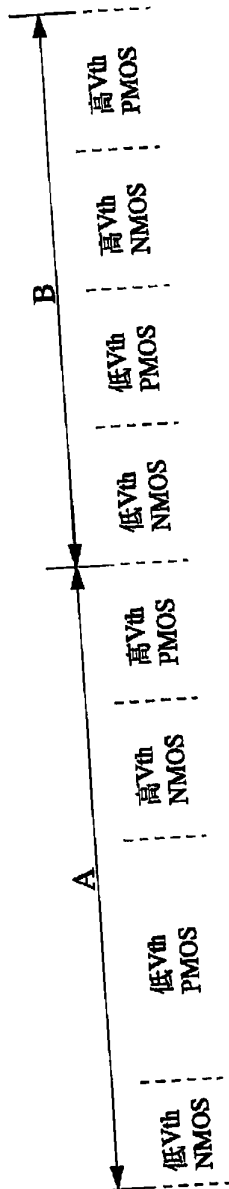
THIS PAGE BLANK (USP 10)

図 29



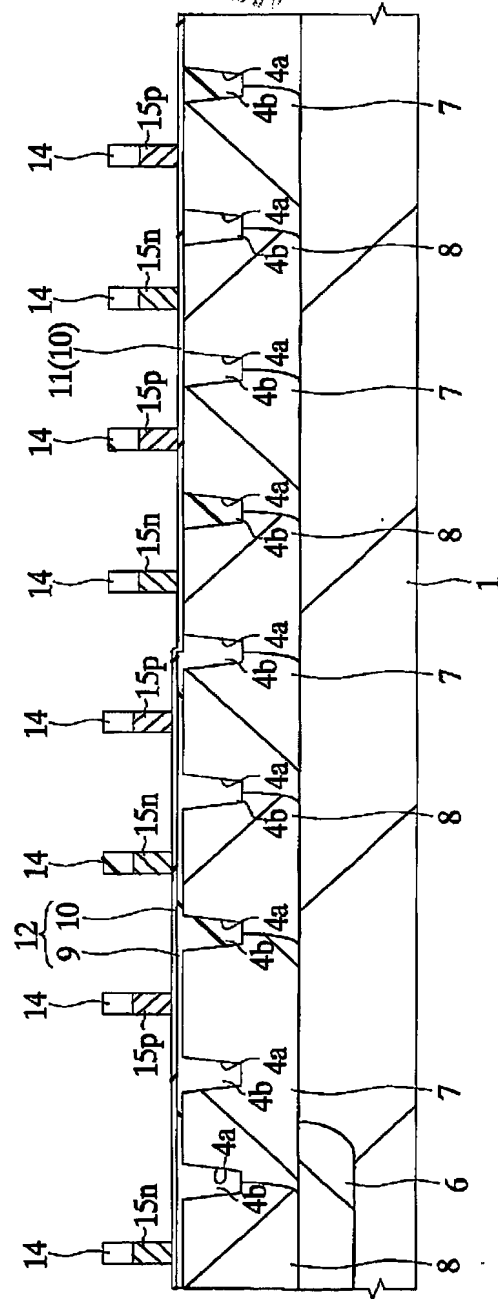
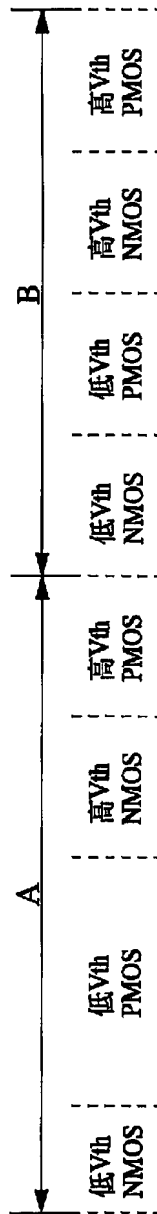
THIS PAGE BLANK (US: .0)

28



THIS PAGE BLANK (USP:0)

図 27

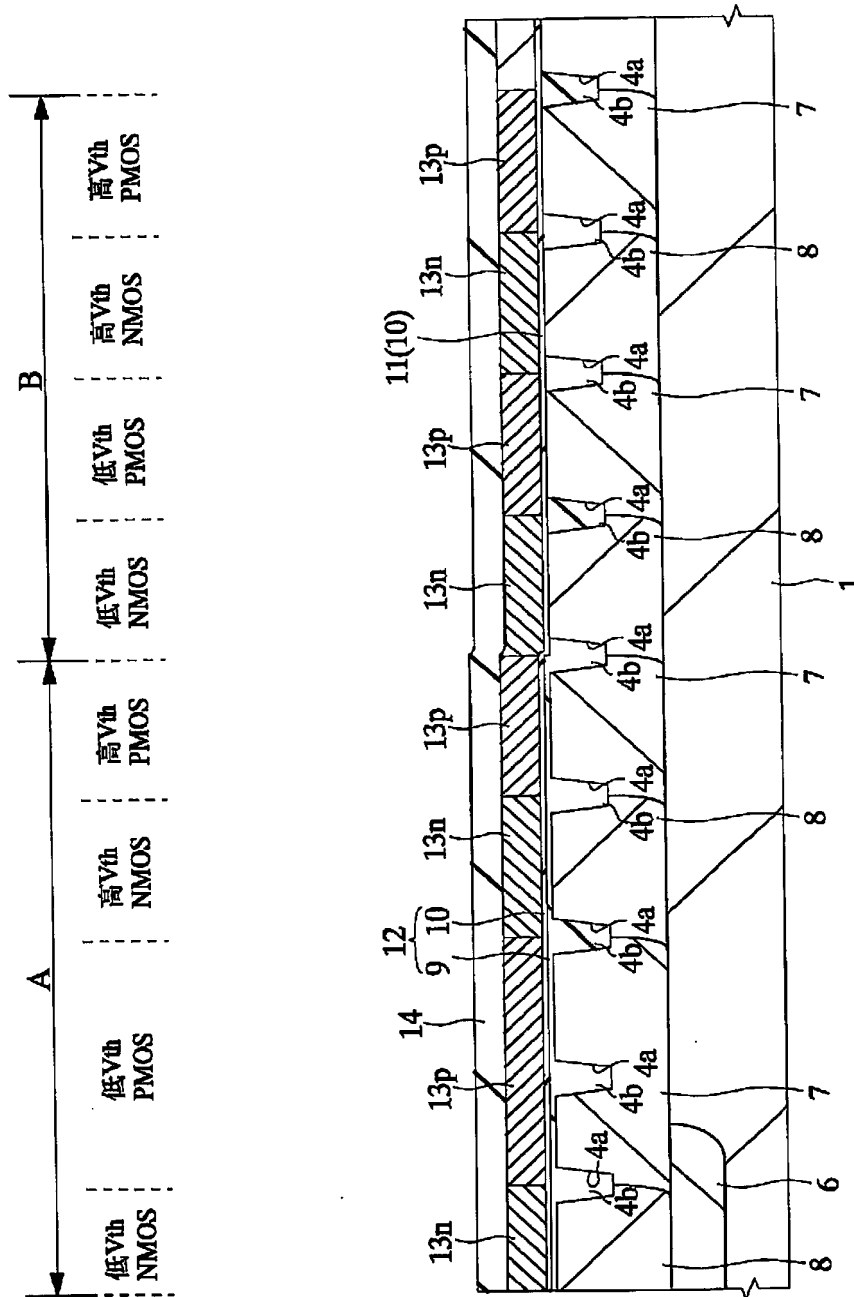


THIS PAGE BLANK (US:U)

THIS PAGE BLANK (USF:U)

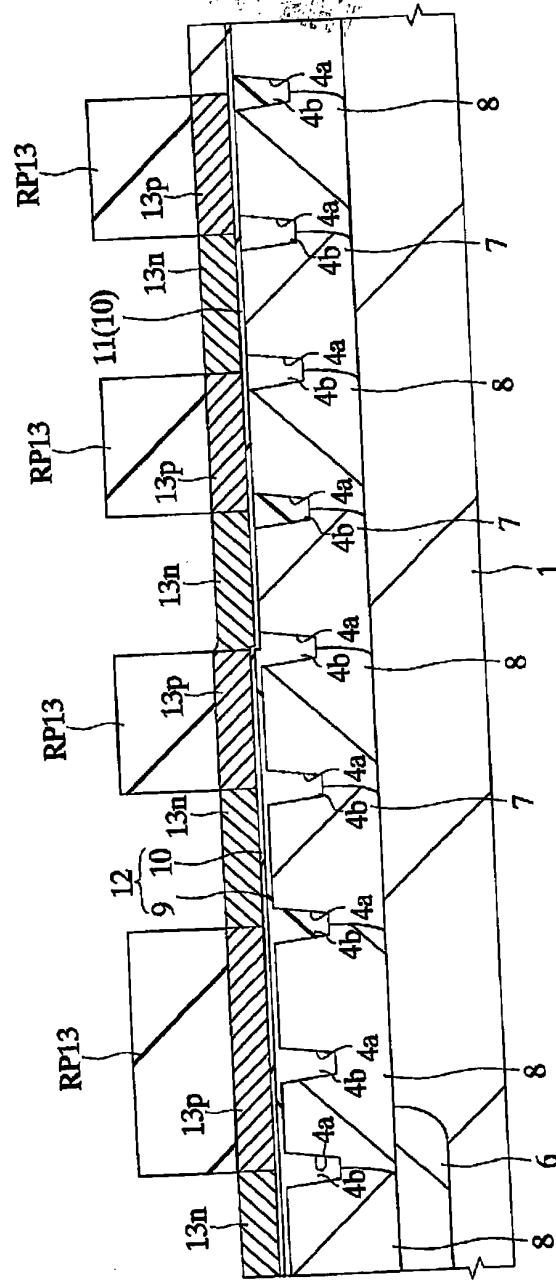
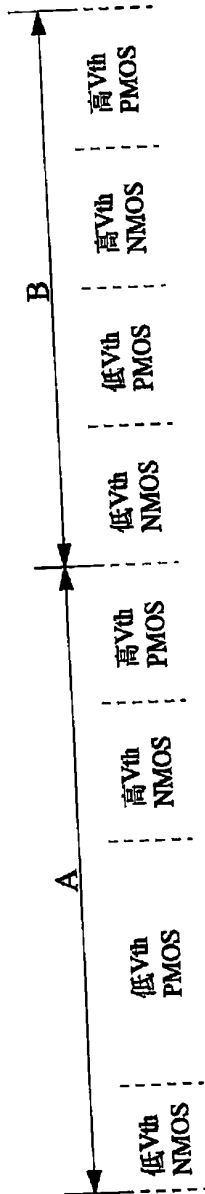
THIS PAGE BLANK (USPTO)

図 24

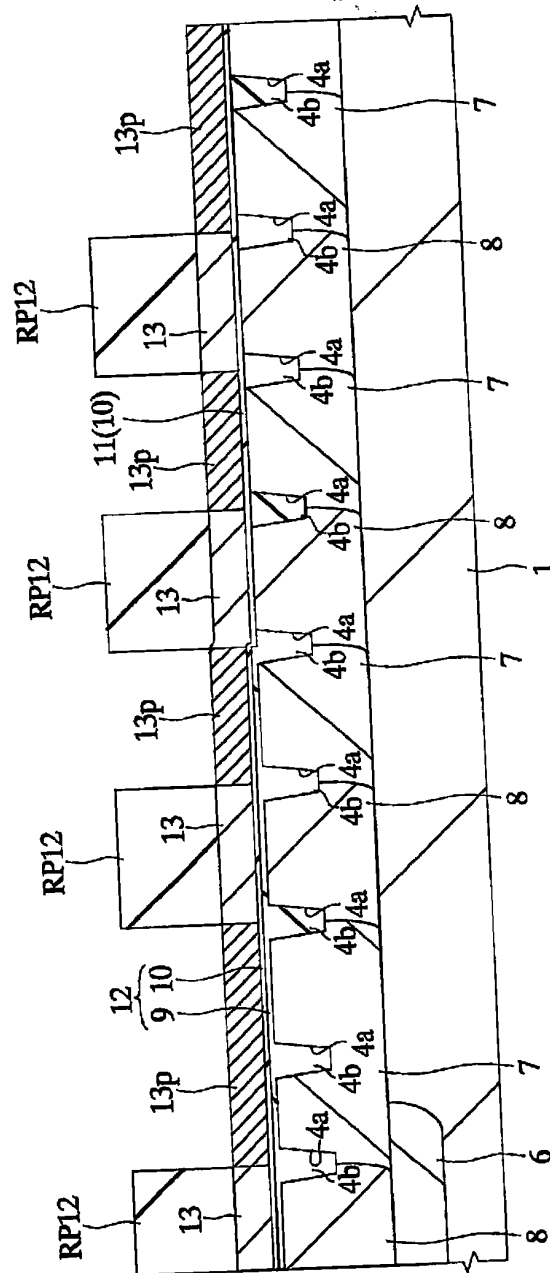
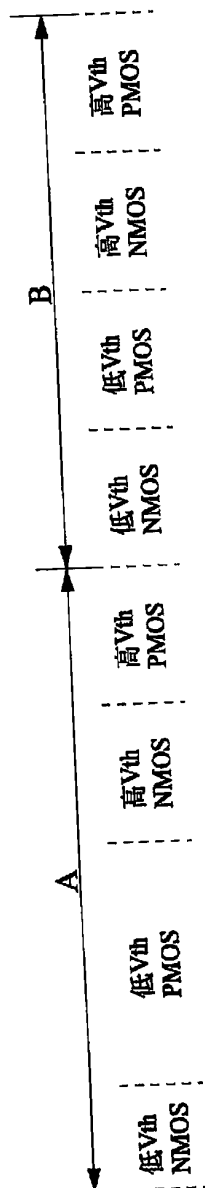


THIS PAGE BLANK (USF:0)

図 23

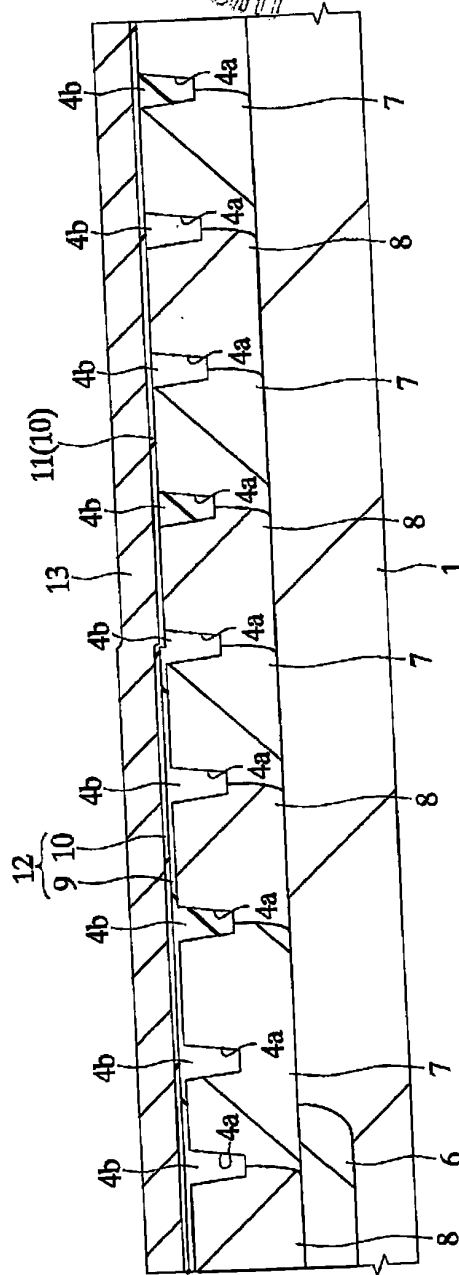
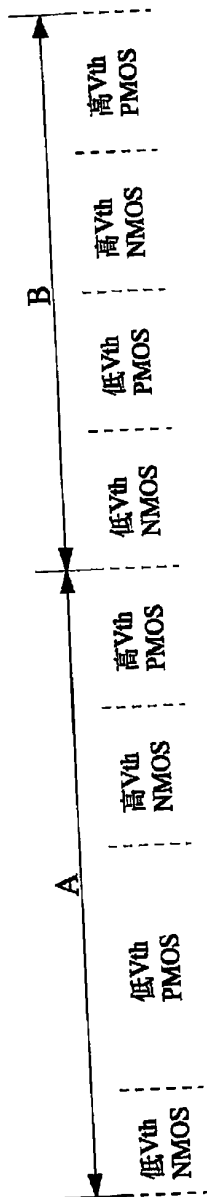


THIS PAGE BLANK (USF:0)



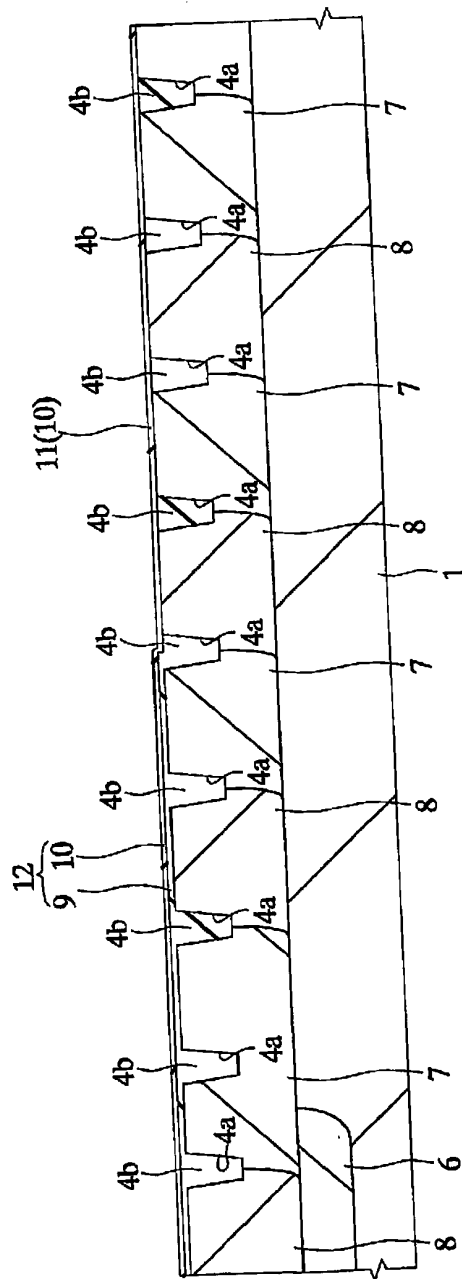
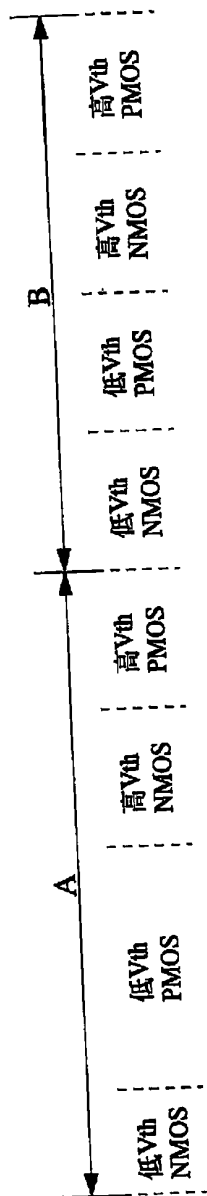
THIS PAGE BLANK (USPTO)

21



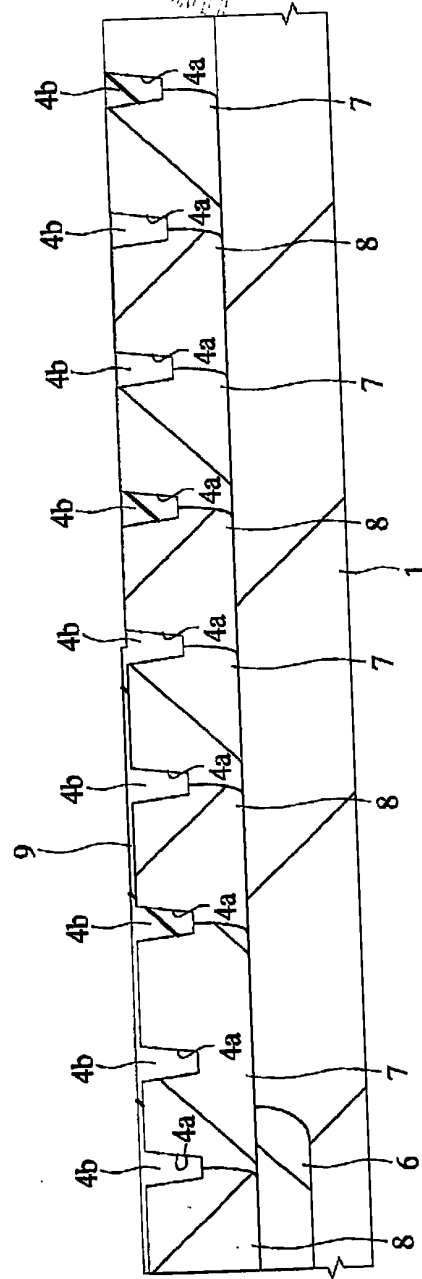
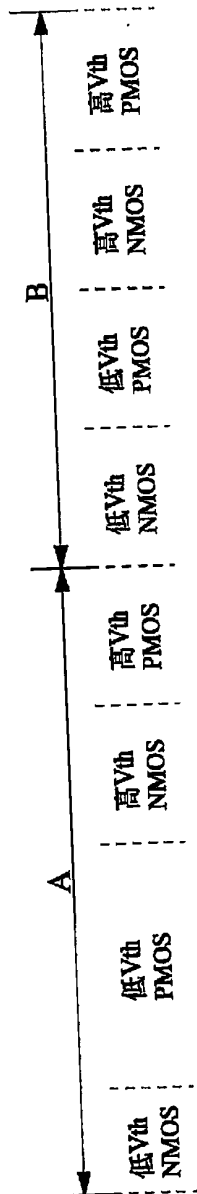
THIS PAGE BLANK (USPTO)

図 20



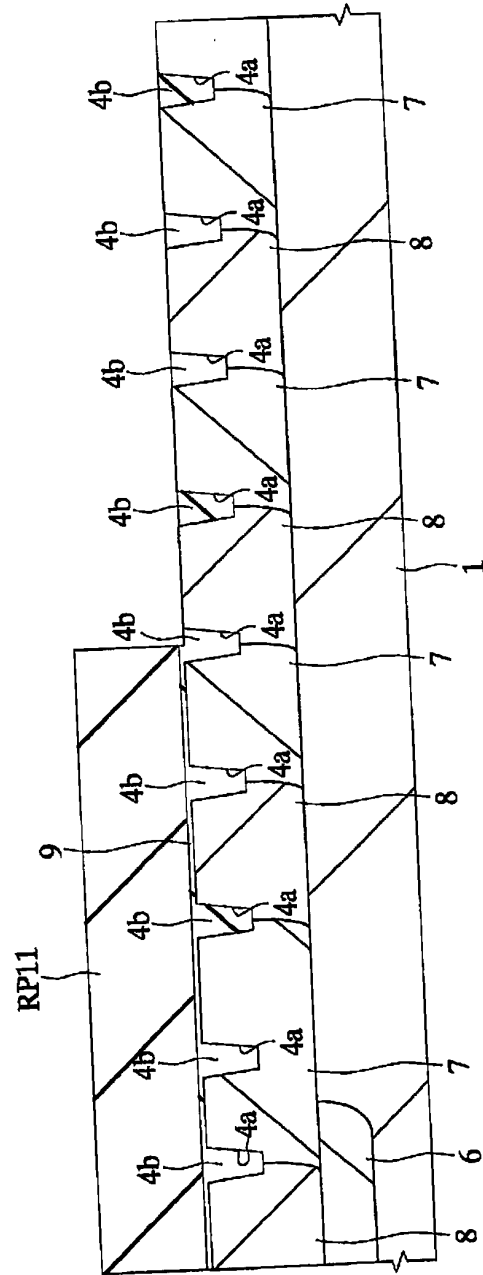
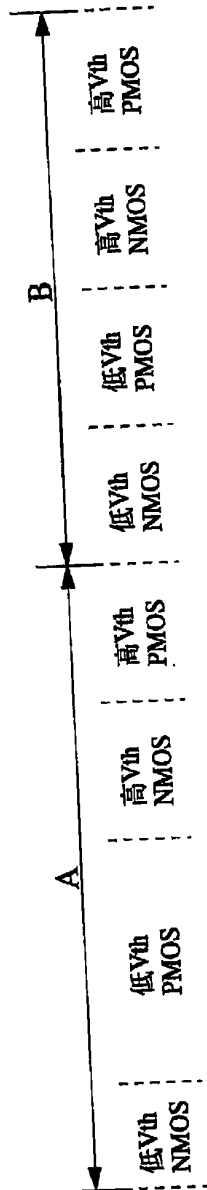
THIS PAGE BLANK (USPTO)

图 19



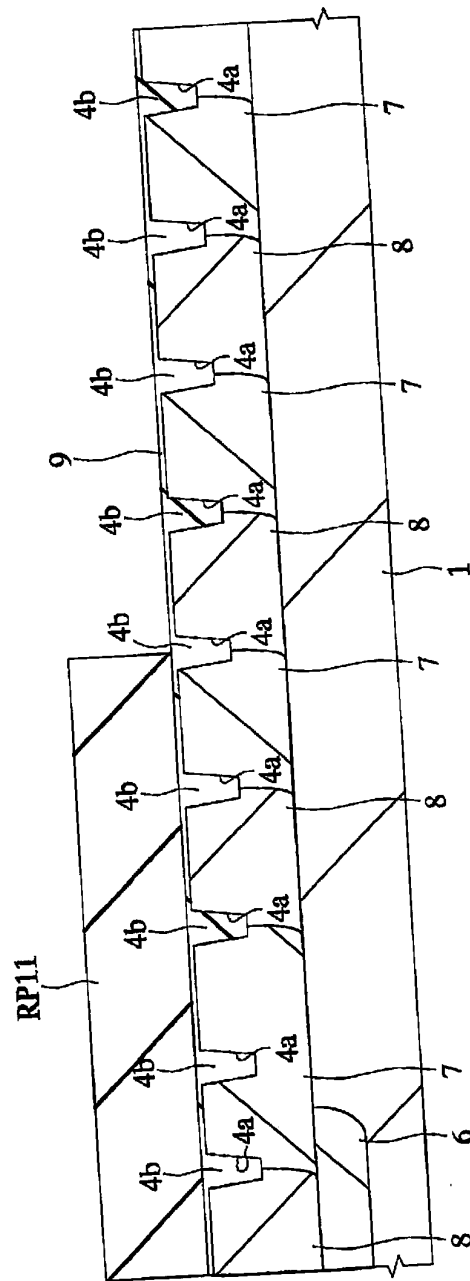
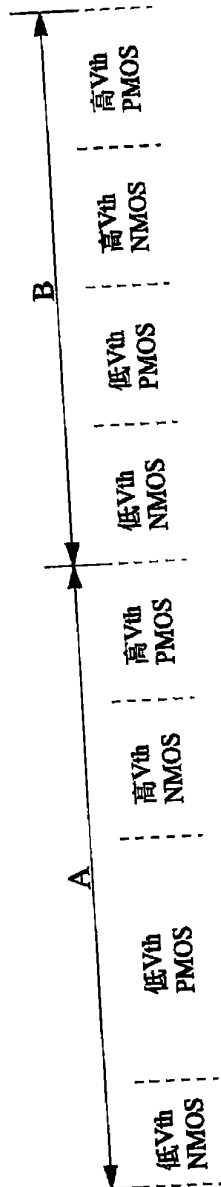
THIS PAGE BLANK (USPTO)

図 18



THIS PAGE BLANK (USPTO)

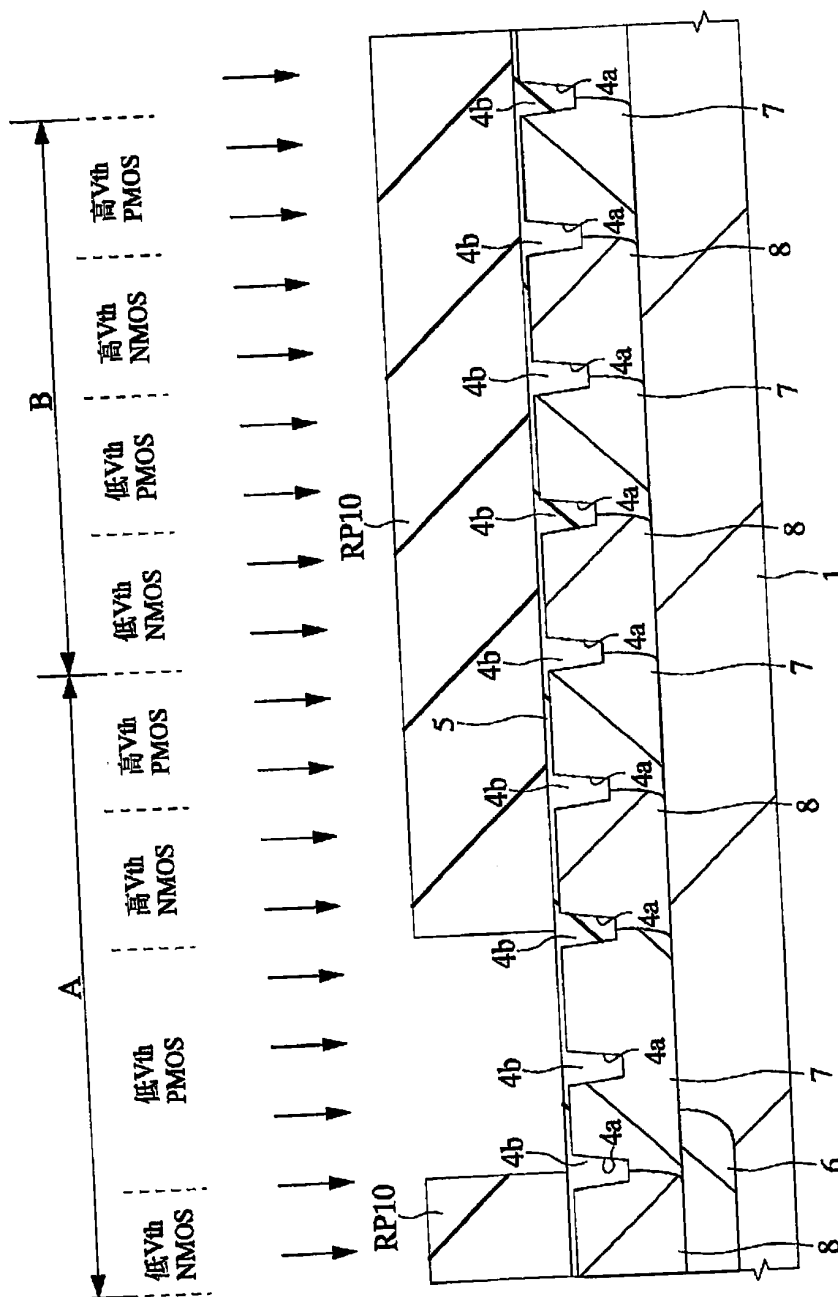
図 17



THIS PAGE BLANK (USPTO)

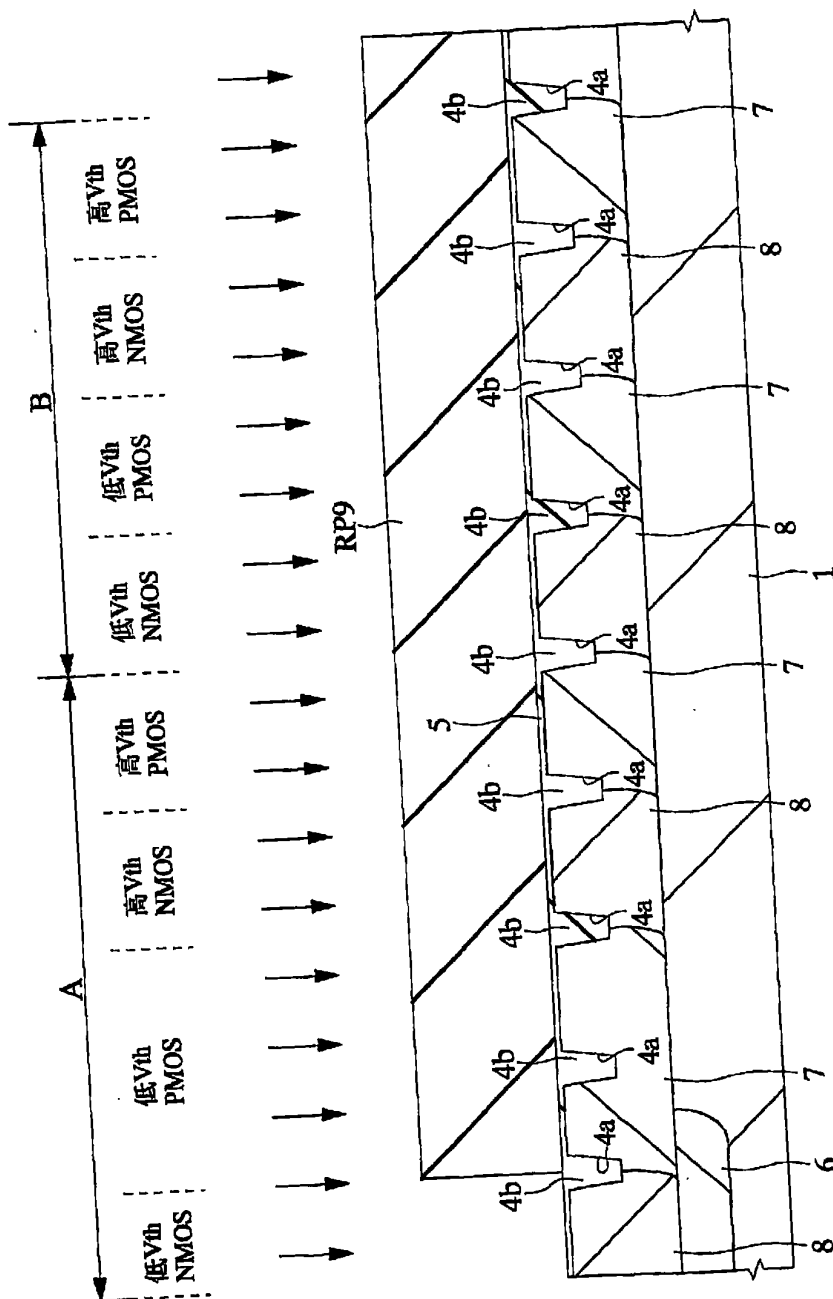
THIS PAGE BLANK (USP10)

15



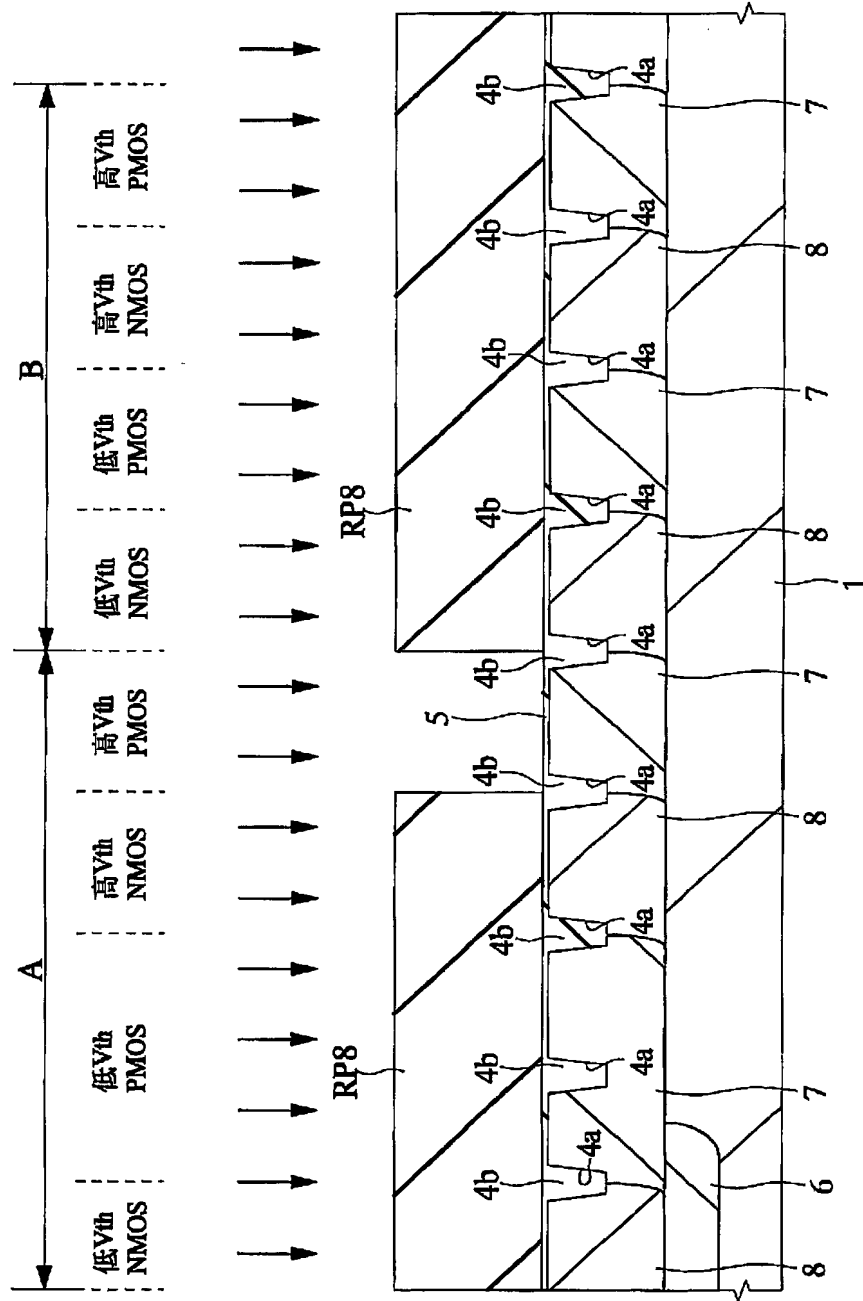
THIS PAGE BLANK (USPTO)

図 14



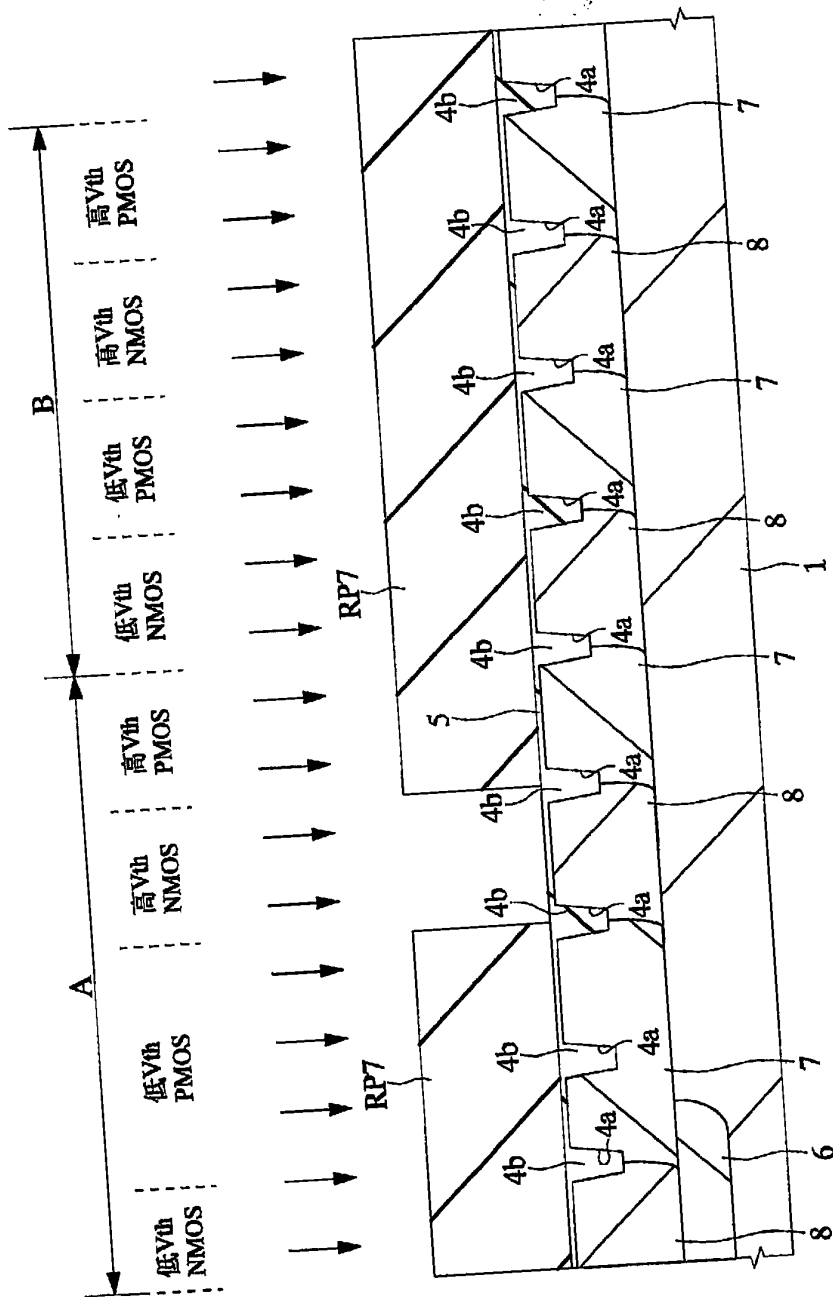
THIS PAGE BLANK (USPTO)

図 13



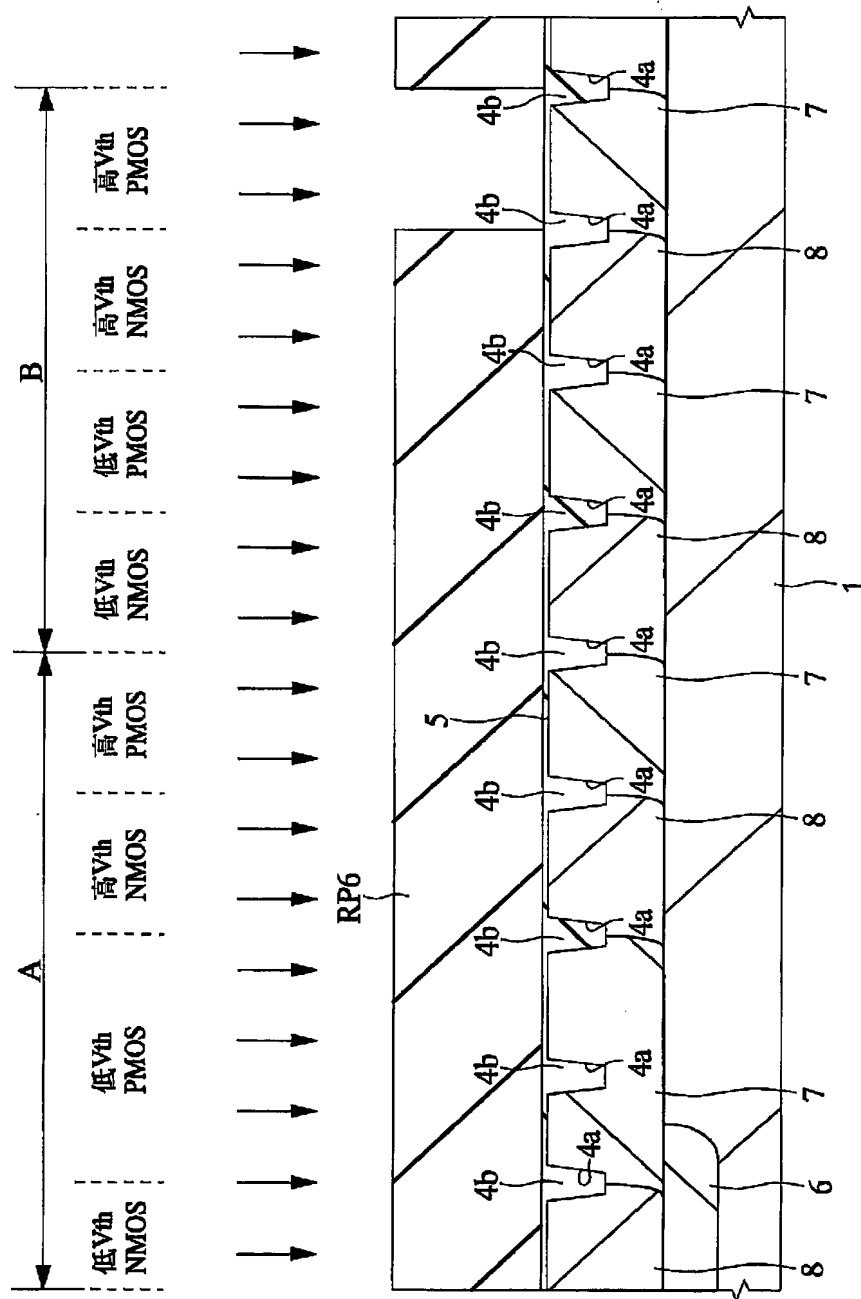
THIS PAGE BLANK (USPTO)

図 12



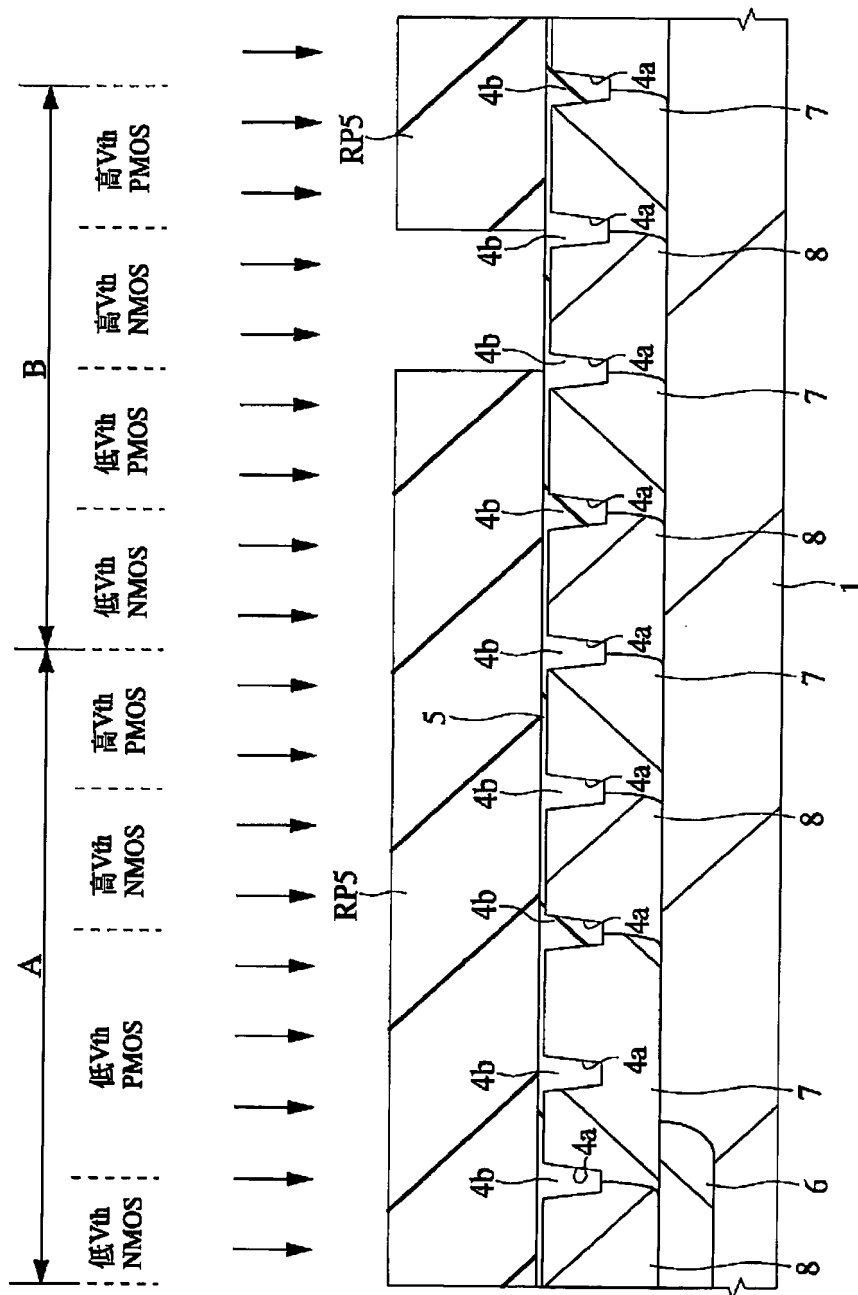
THIS PAGE BLANK (USPTO)

図 11



THIS PAGE BLANK (USP 10)

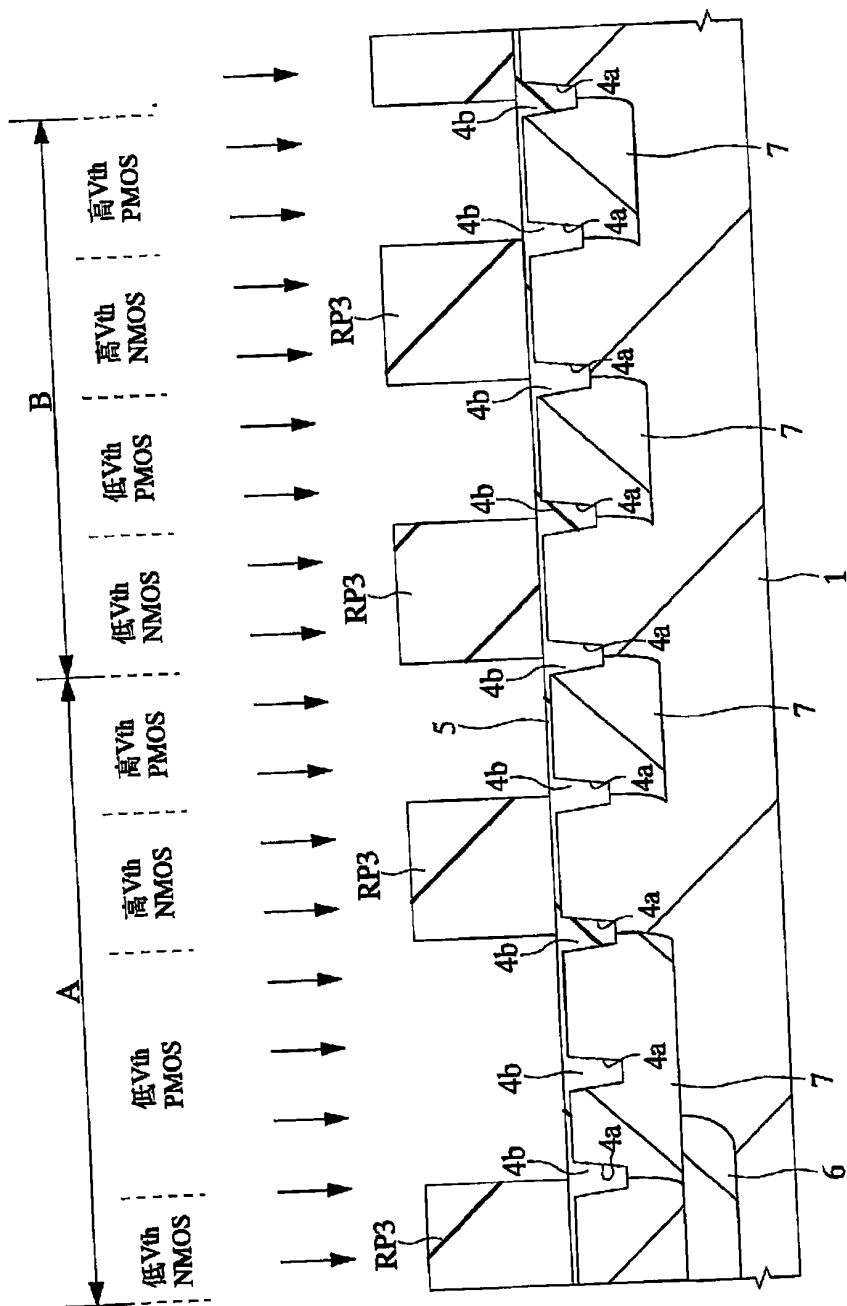
図 10



THIS PAGE BLANK (USPTO)

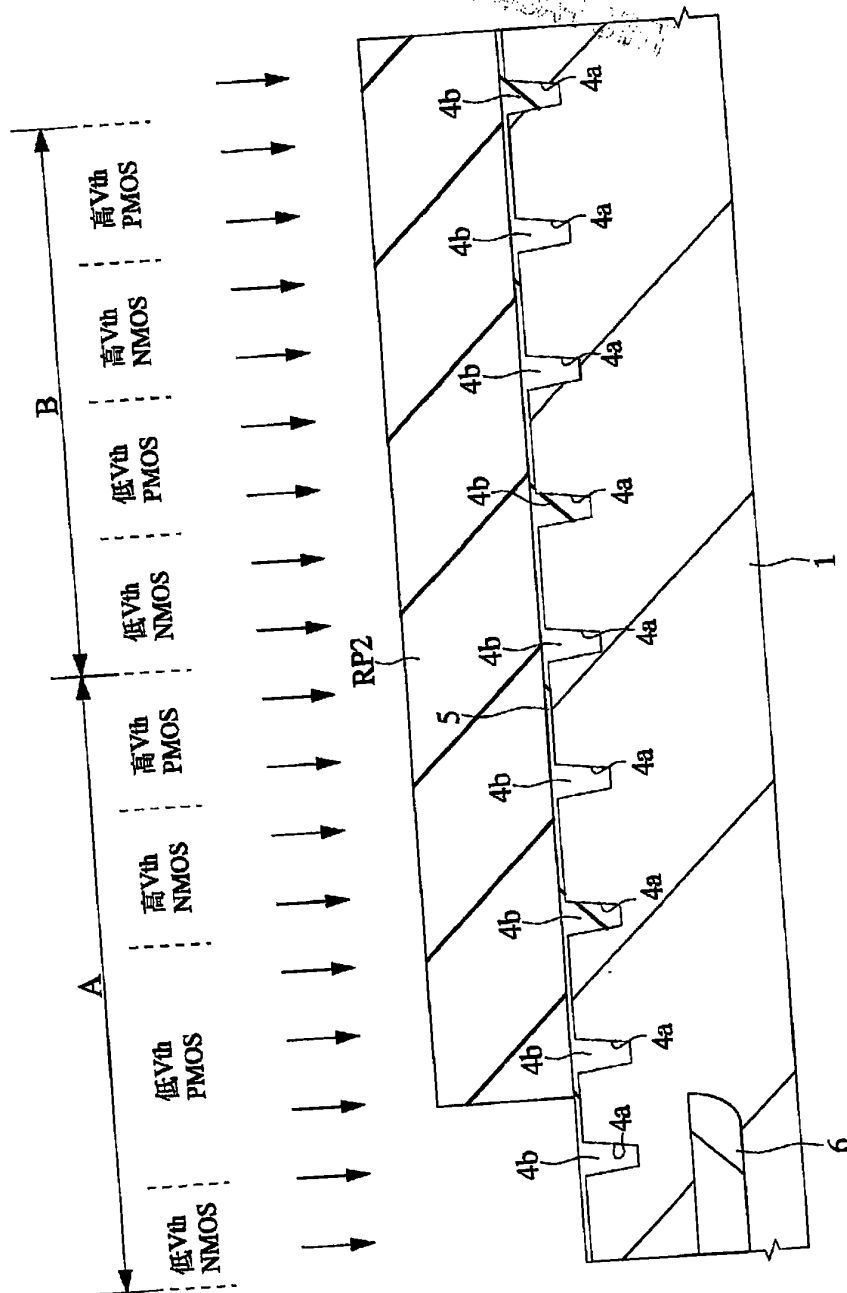
THIS PAGE BLANK (USPTO)

8



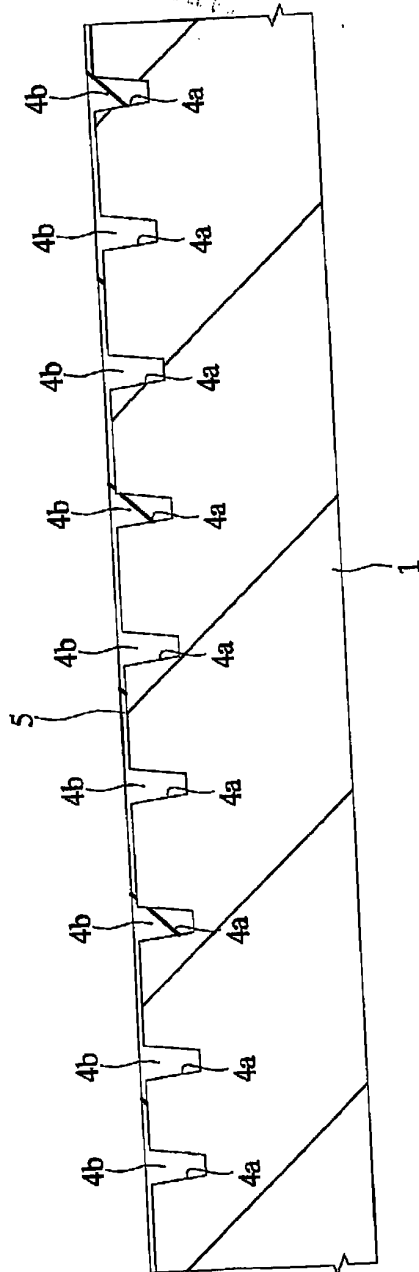
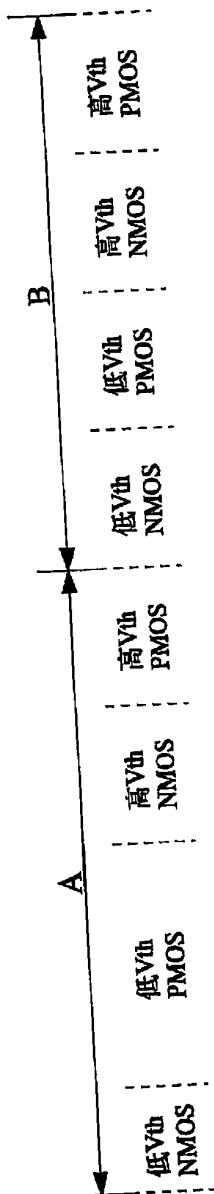
THIS PAGE BLANK (USP10)

図 7



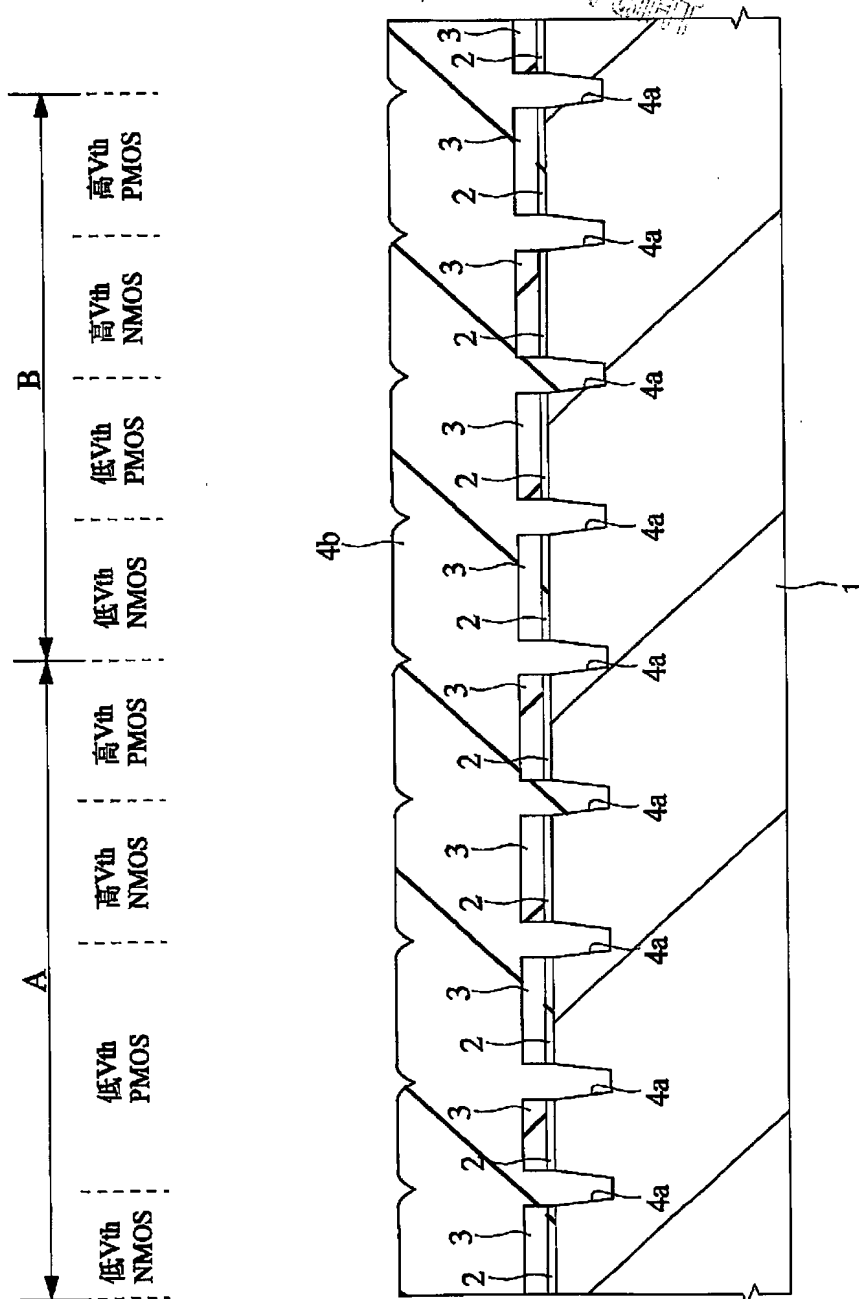
THIS PAGE BLANK (USPTO)

図 6



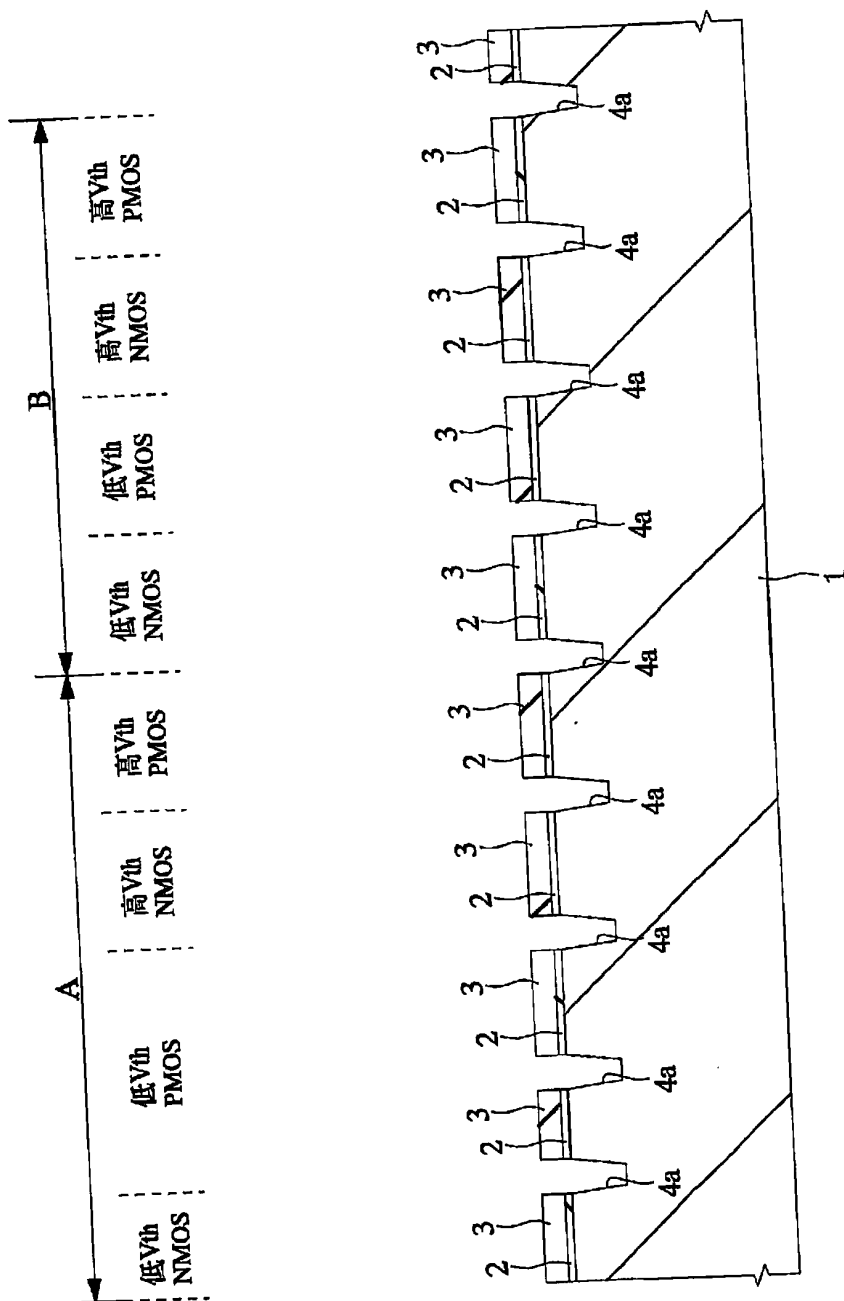
THIS PAGE BLANK (USP-0)

图 5



THIS PAGE BLANK (USP 70)

図 4



THIS PAGE BLANK (USP10)

図 3

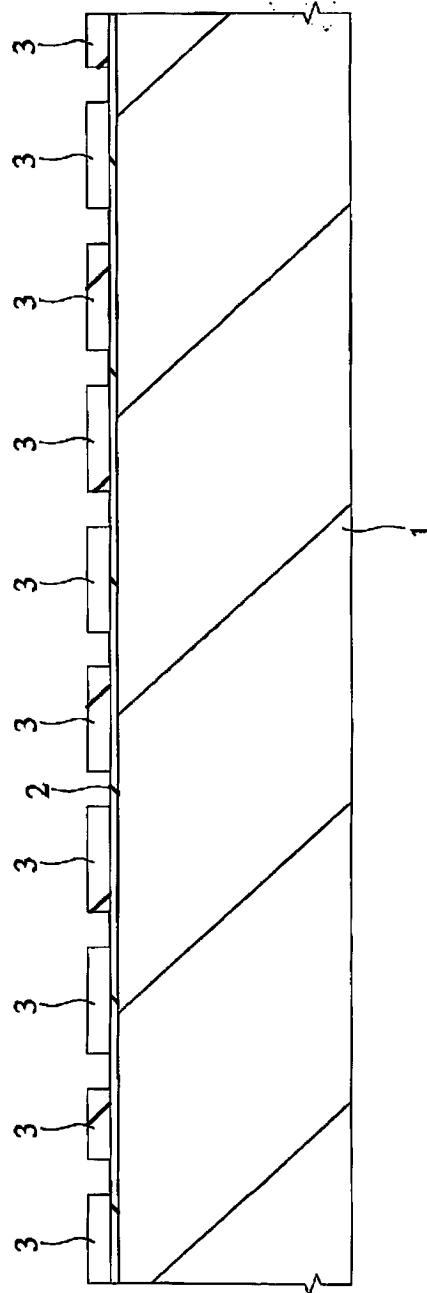
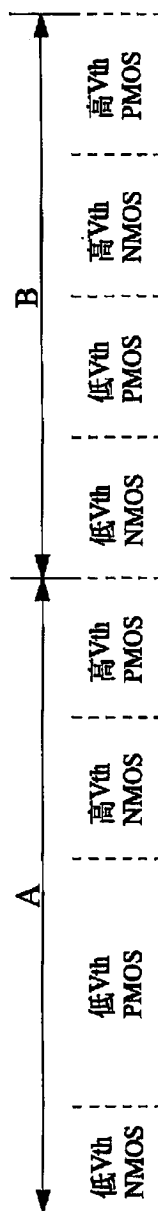


Figure 1 illustrates a 1D lattice structure divided into two regions, A and B, by a central barrier. The lattice is represented by a horizontal line with arrows at both ends. Region A (left) contains a pair of dashed lines labeled "Low Vth NMOS" and a pair labeled "High Vth PMOS". Region B (right) contains a pair labeled "Low Vth NMOS" and a pair labeled "High Vth PMOS". The central barrier is indicated by a vertical line with arrows pointing outwards. The regions are labeled "A" and "B" above the horizontal axis.

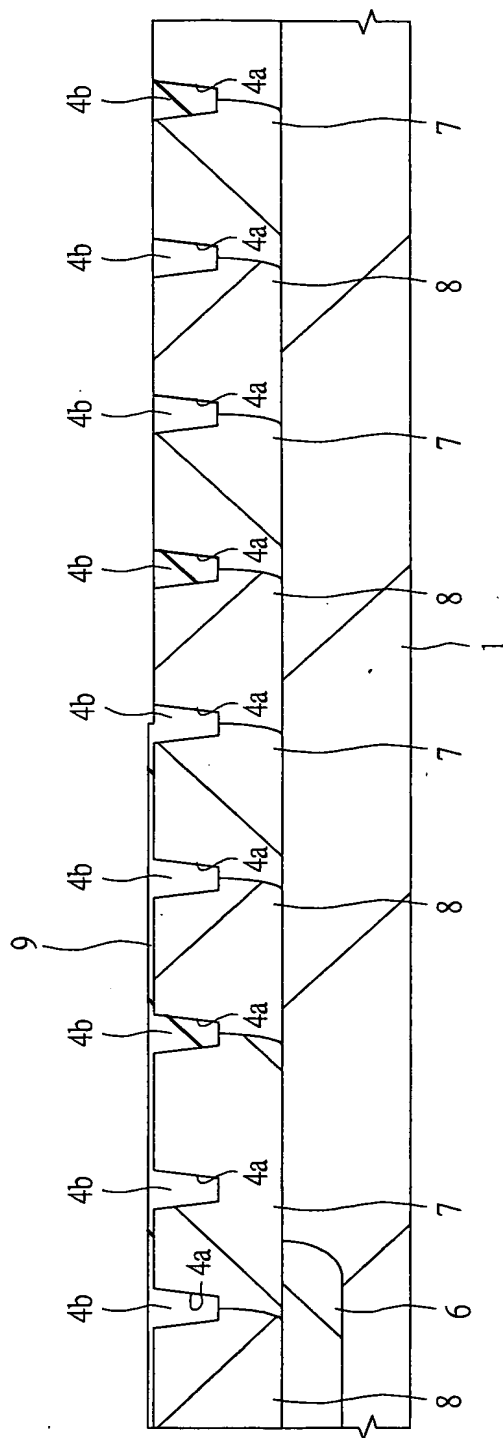


FIG. 20

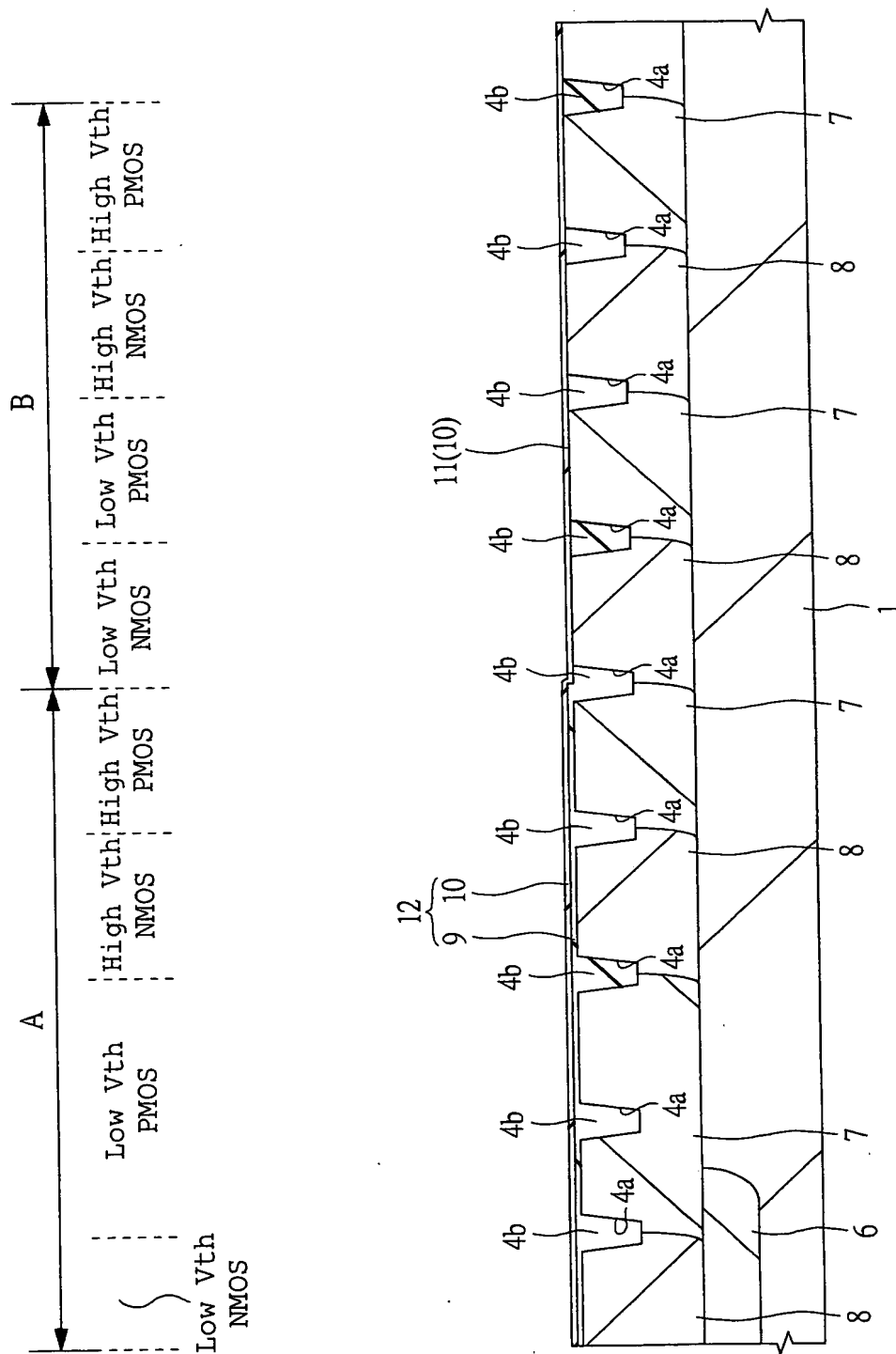


FIG. 21

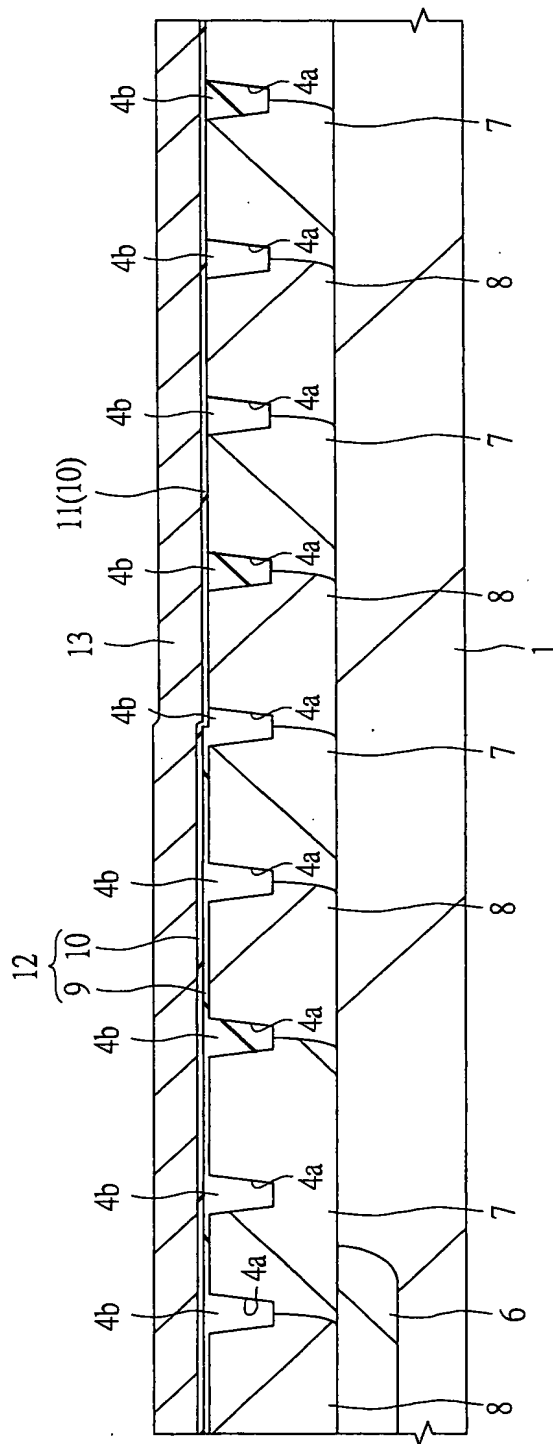
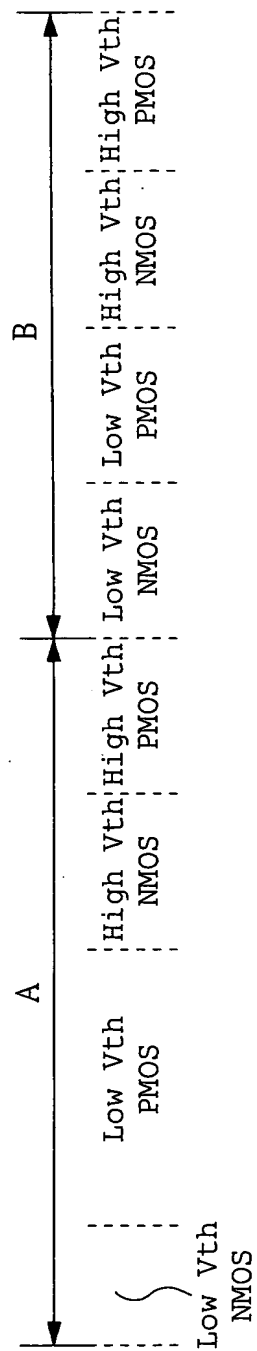


FIG. 22

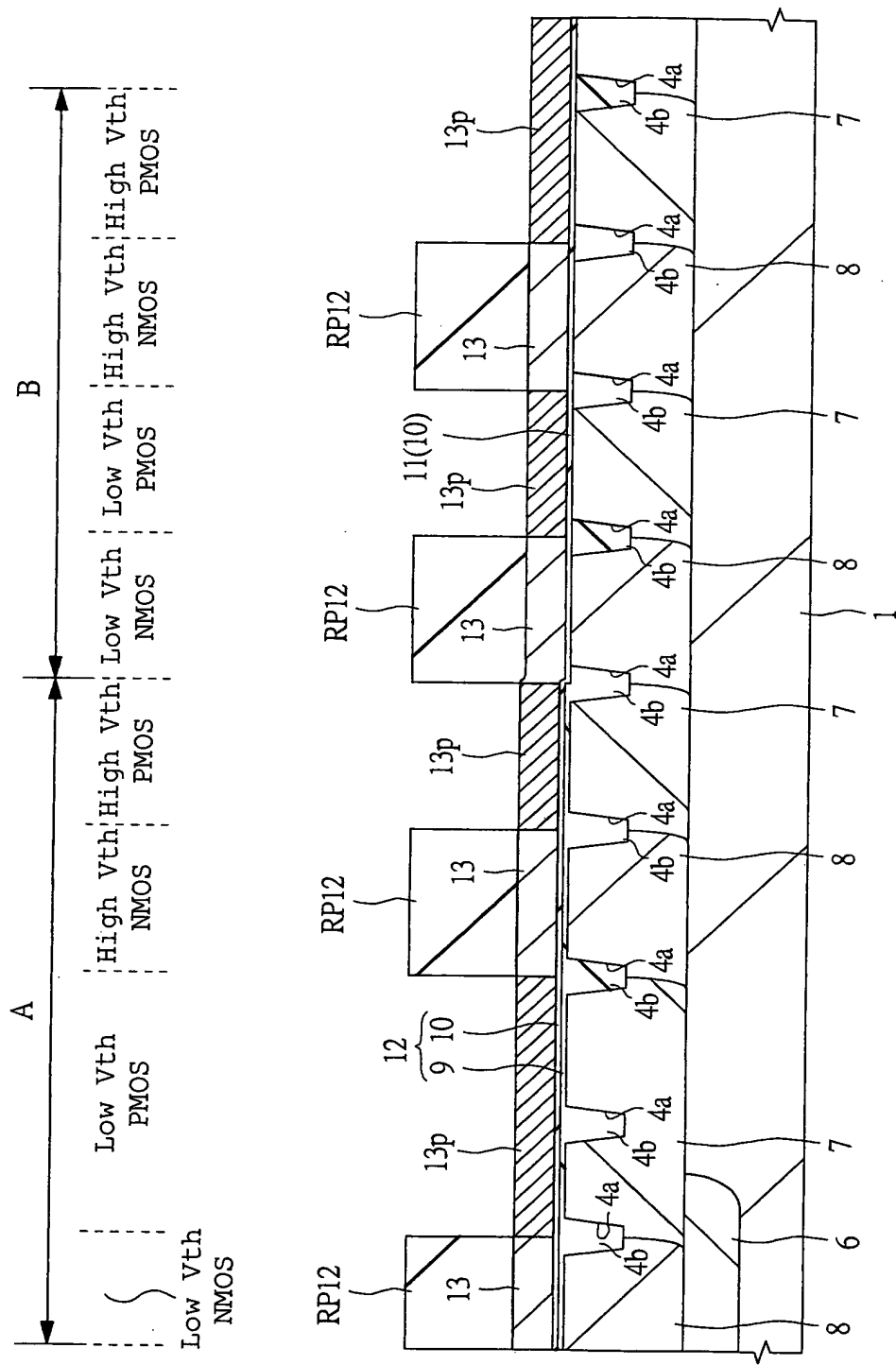


FIG. 23

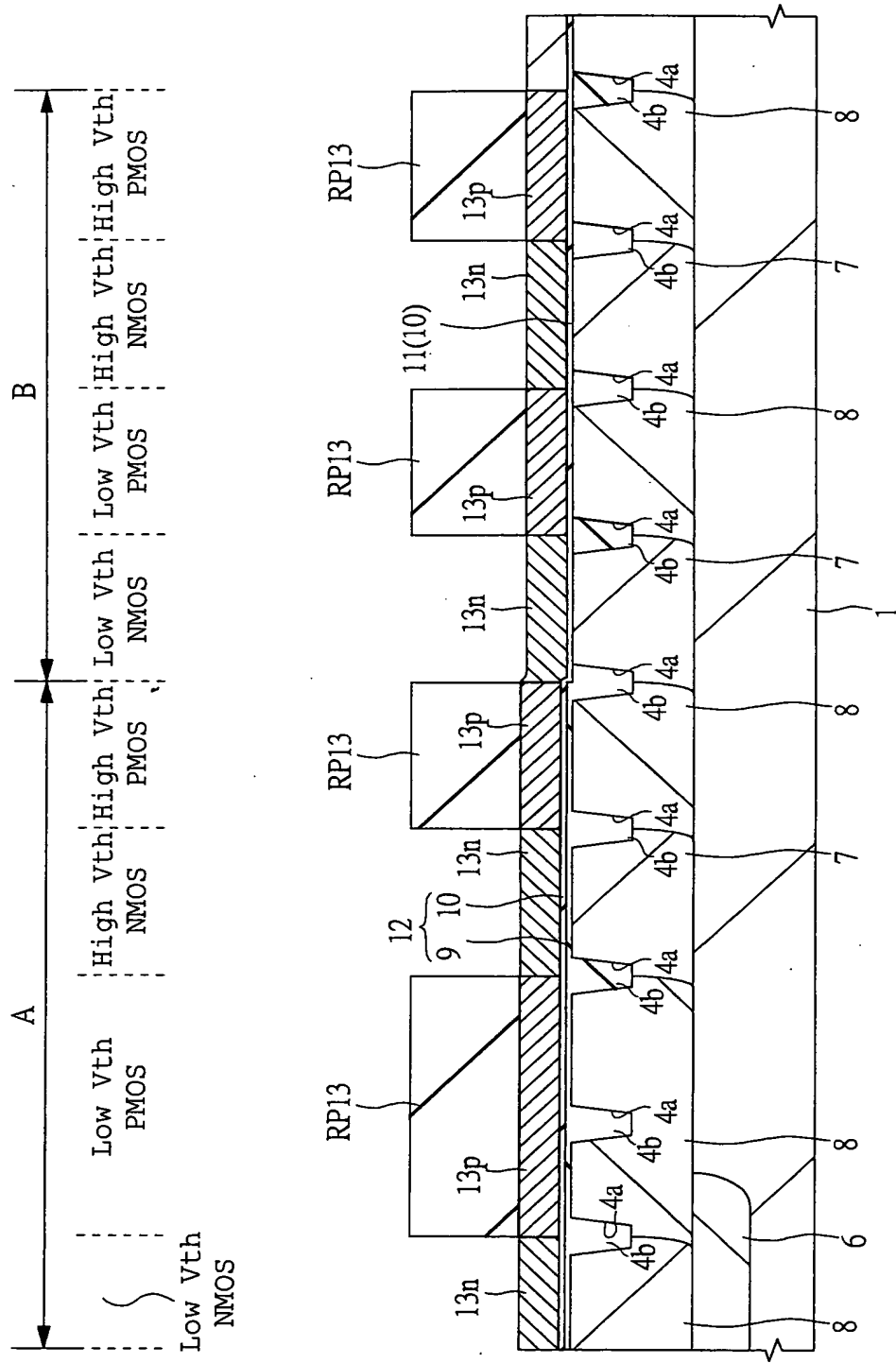


FIG. 24

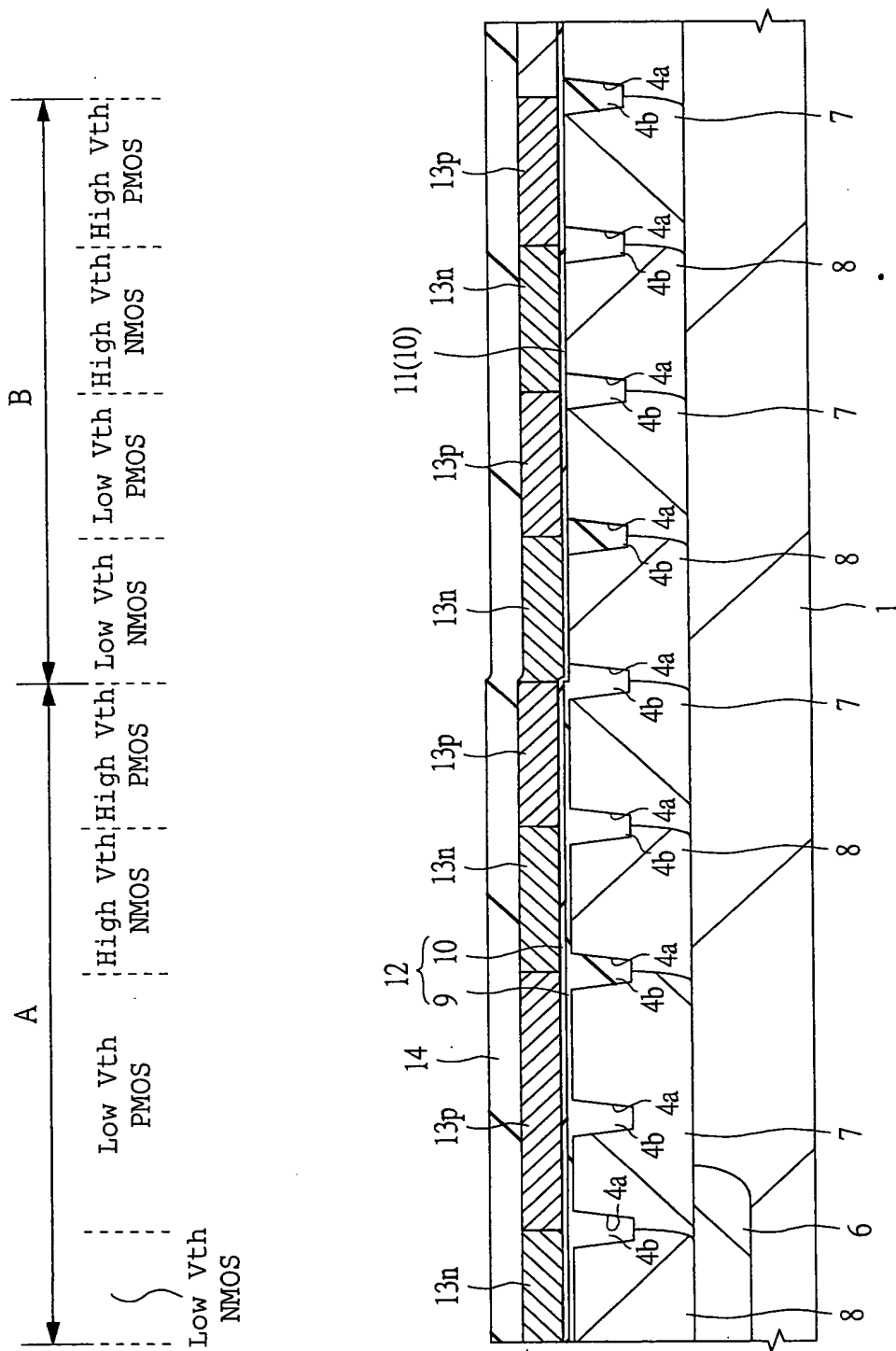


FIG. 25

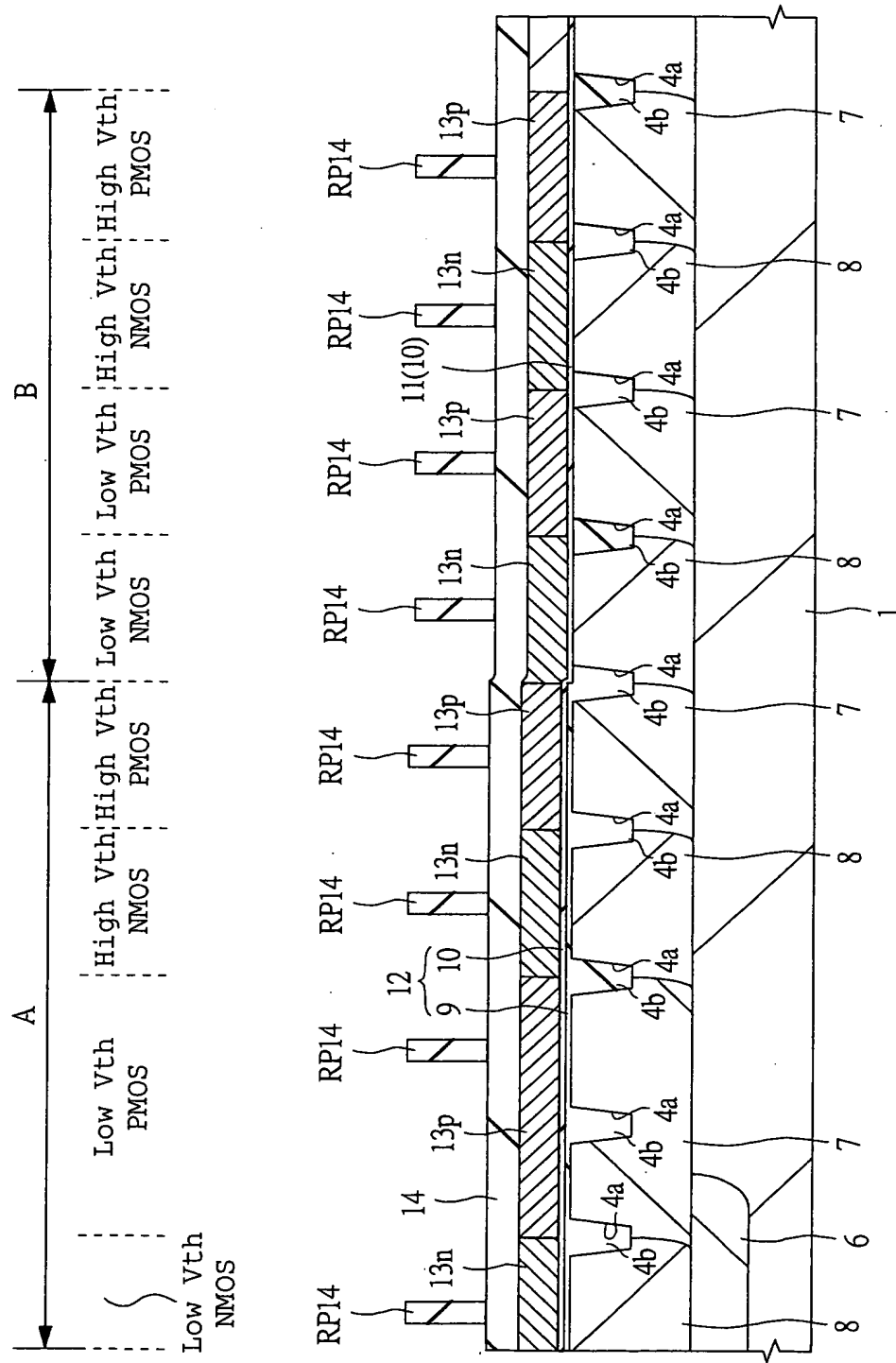
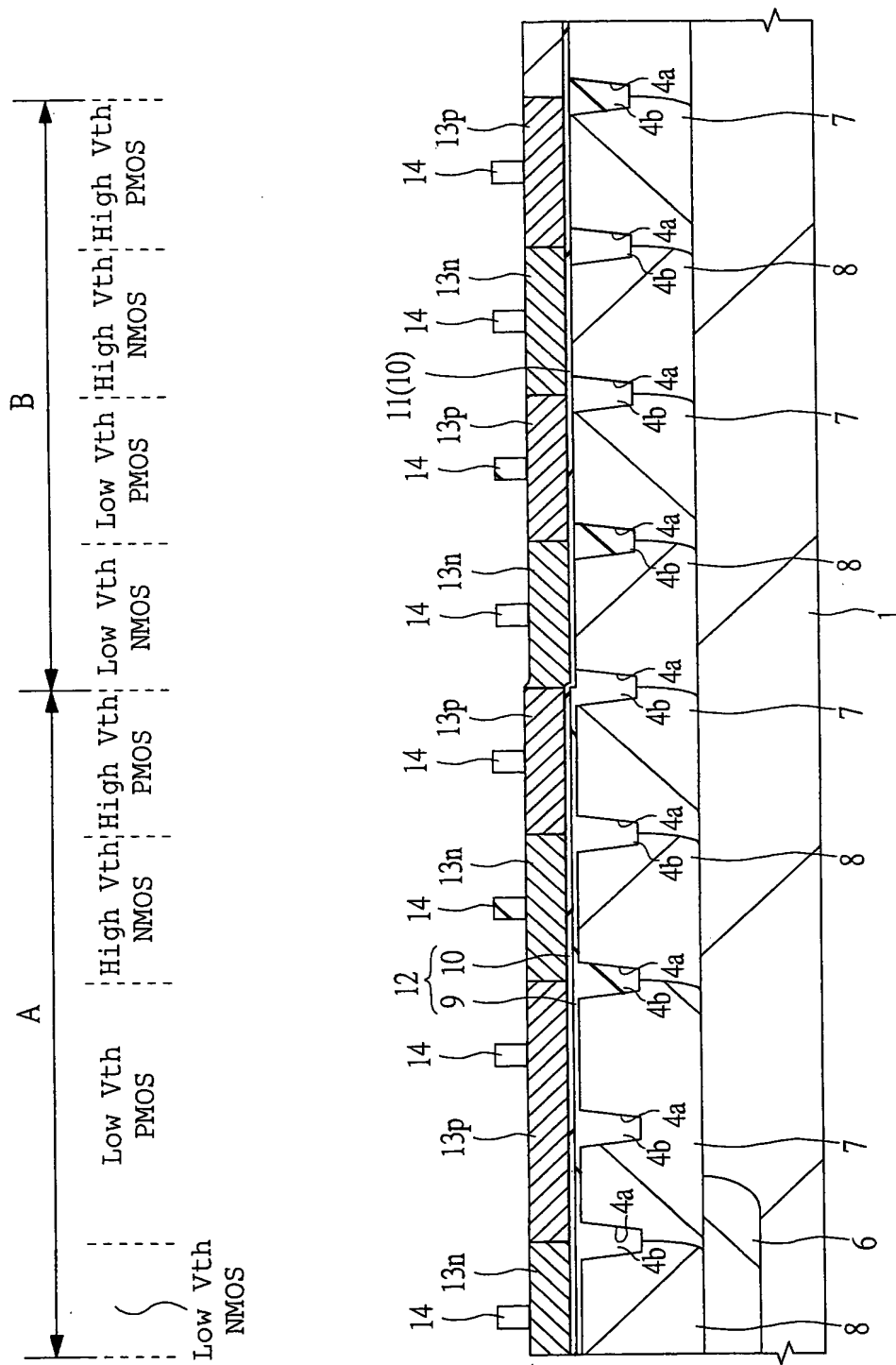


FIG. 26



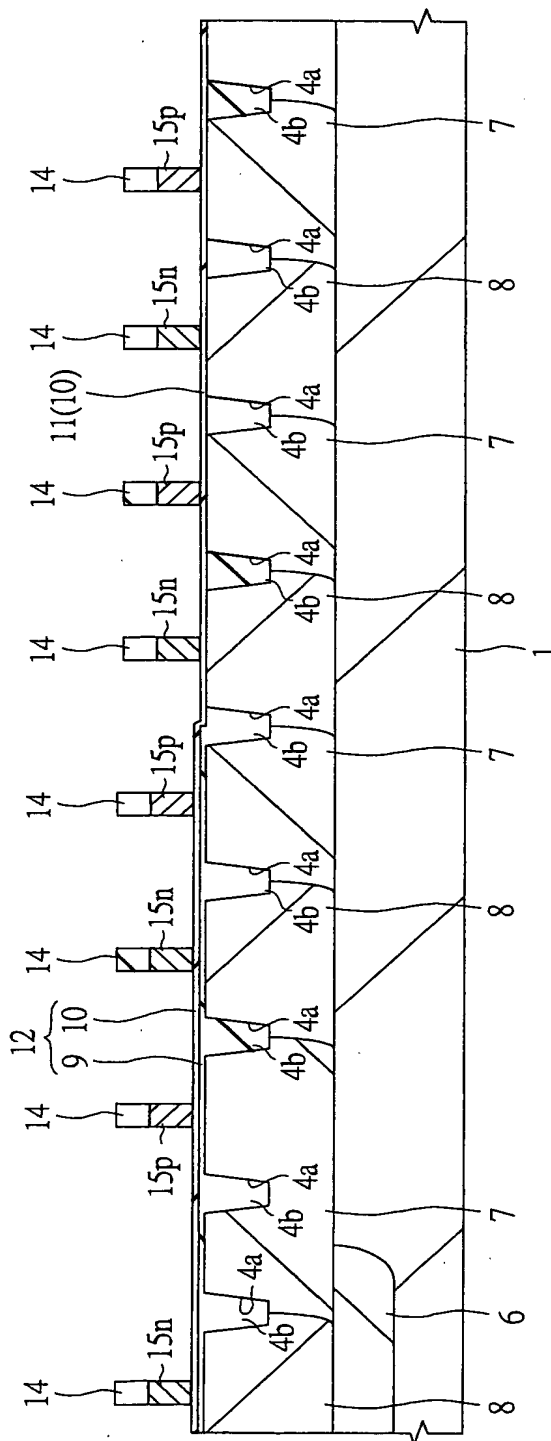
[illegible]

FIG. 28

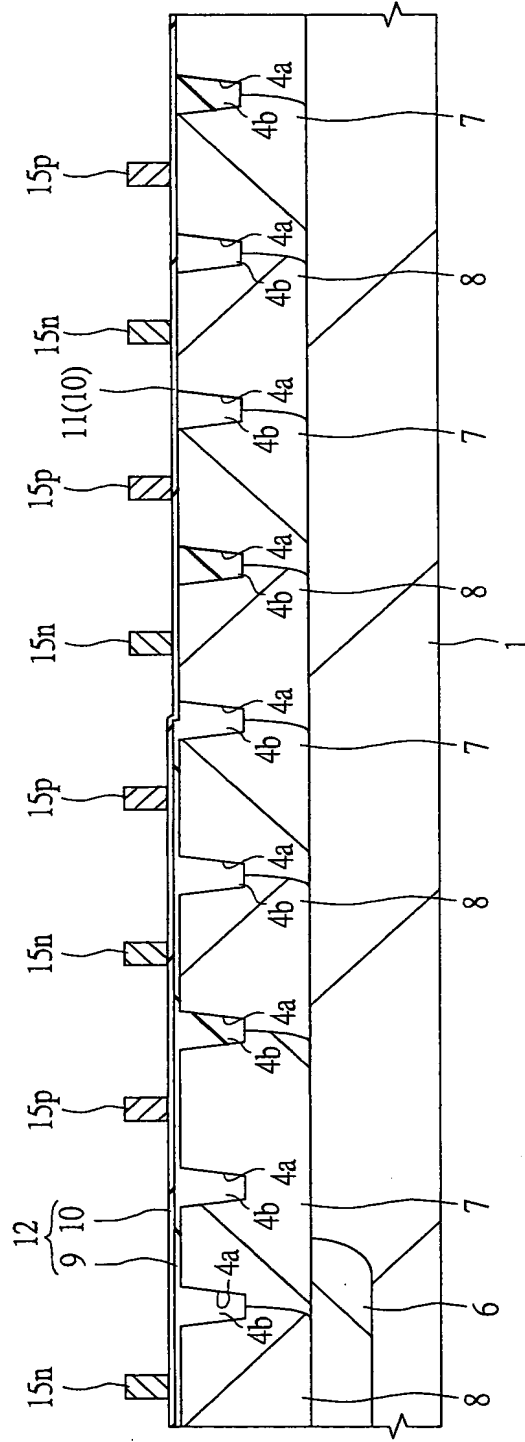
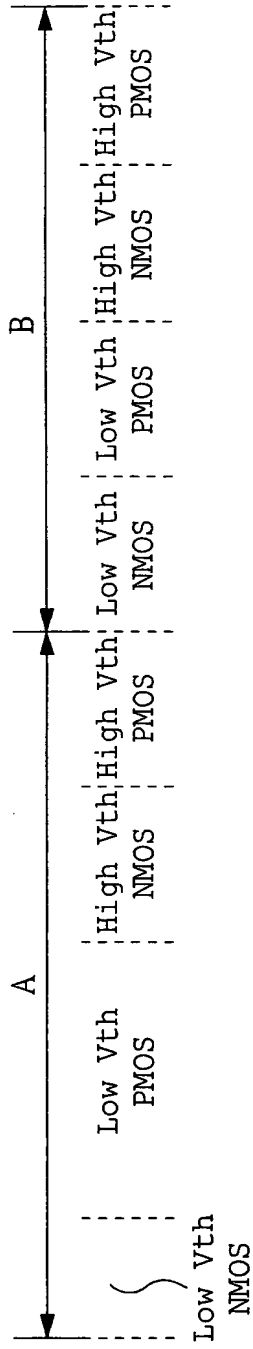


FIG. 29

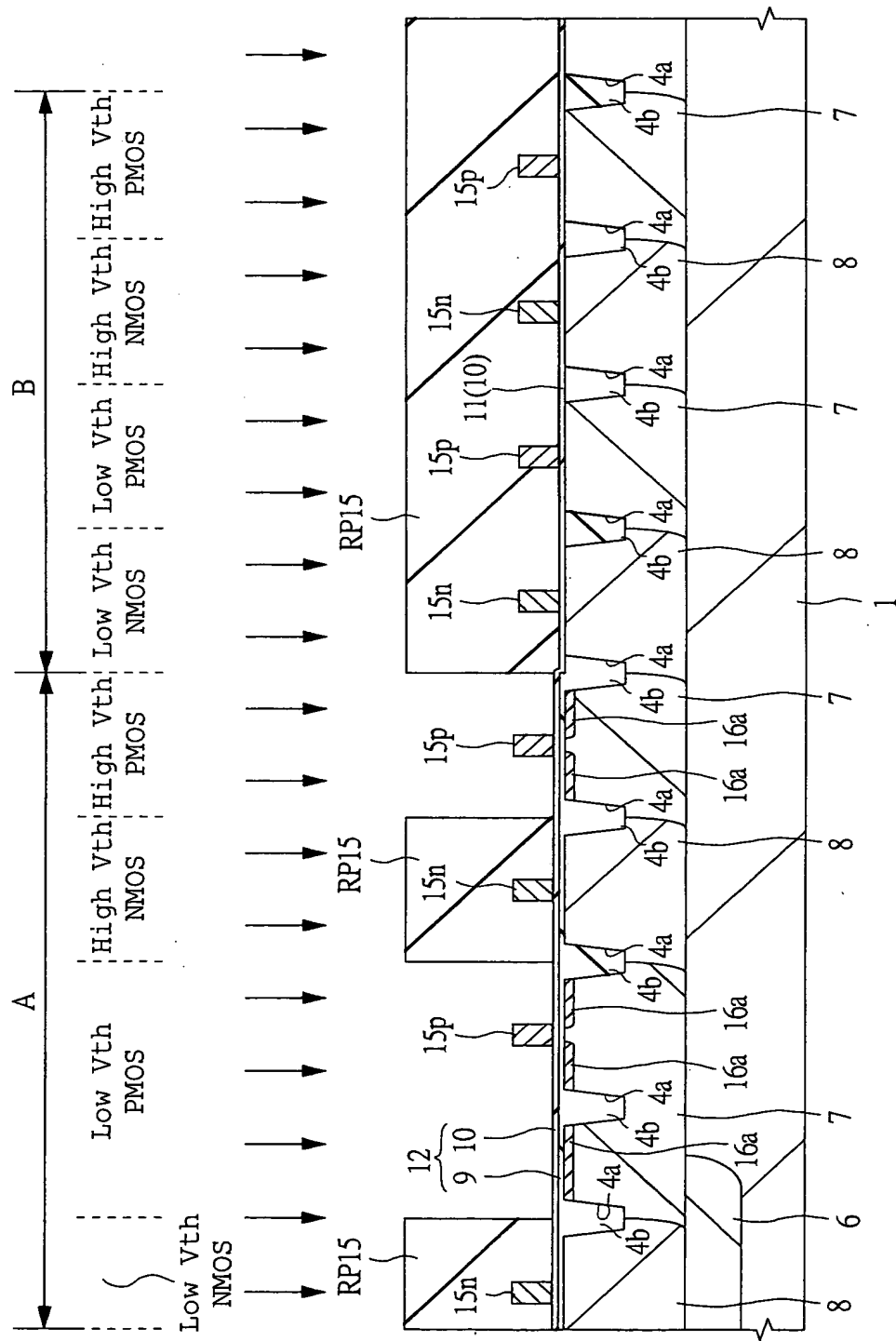


FIG. 31

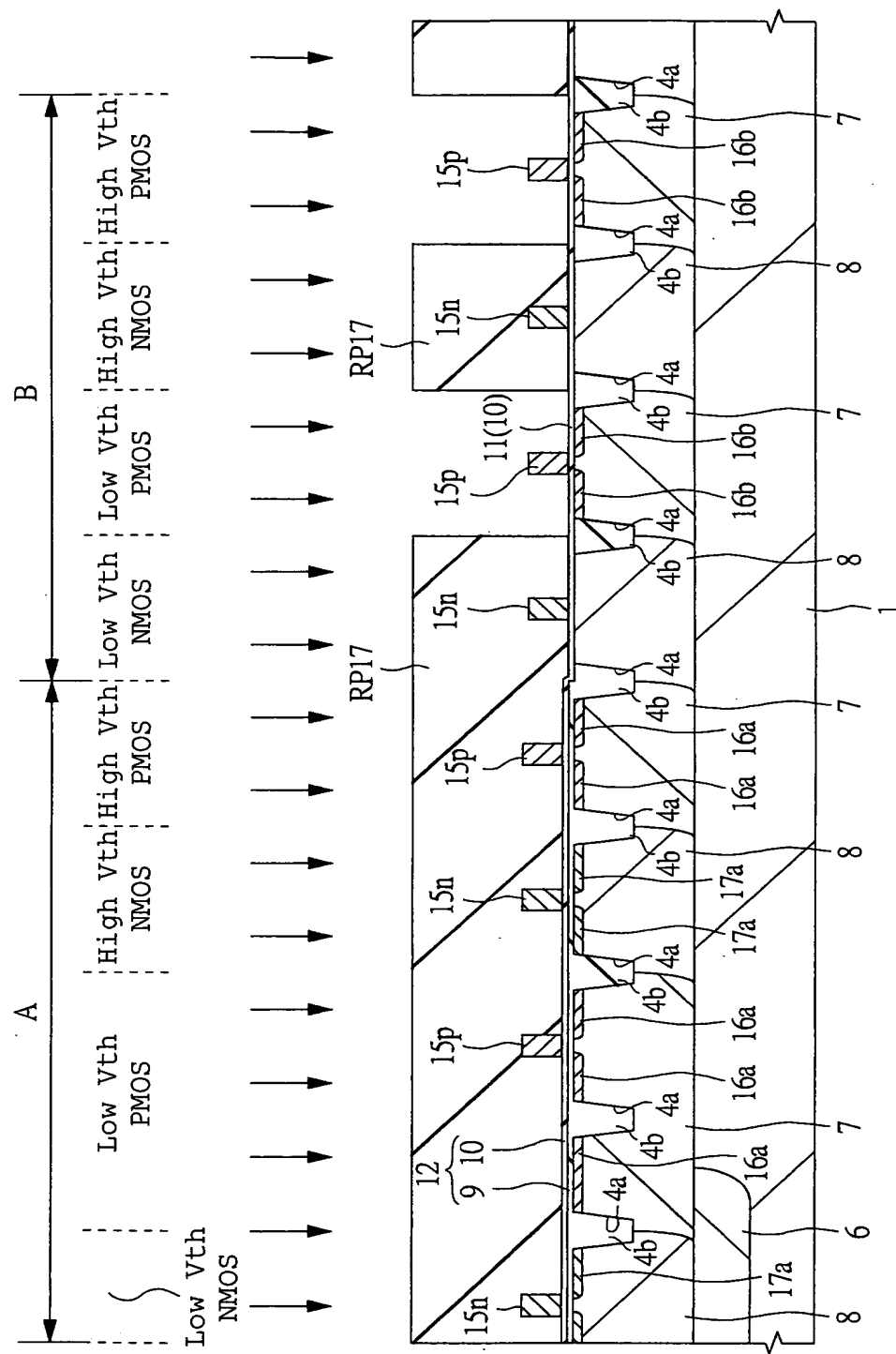


FIG. 32

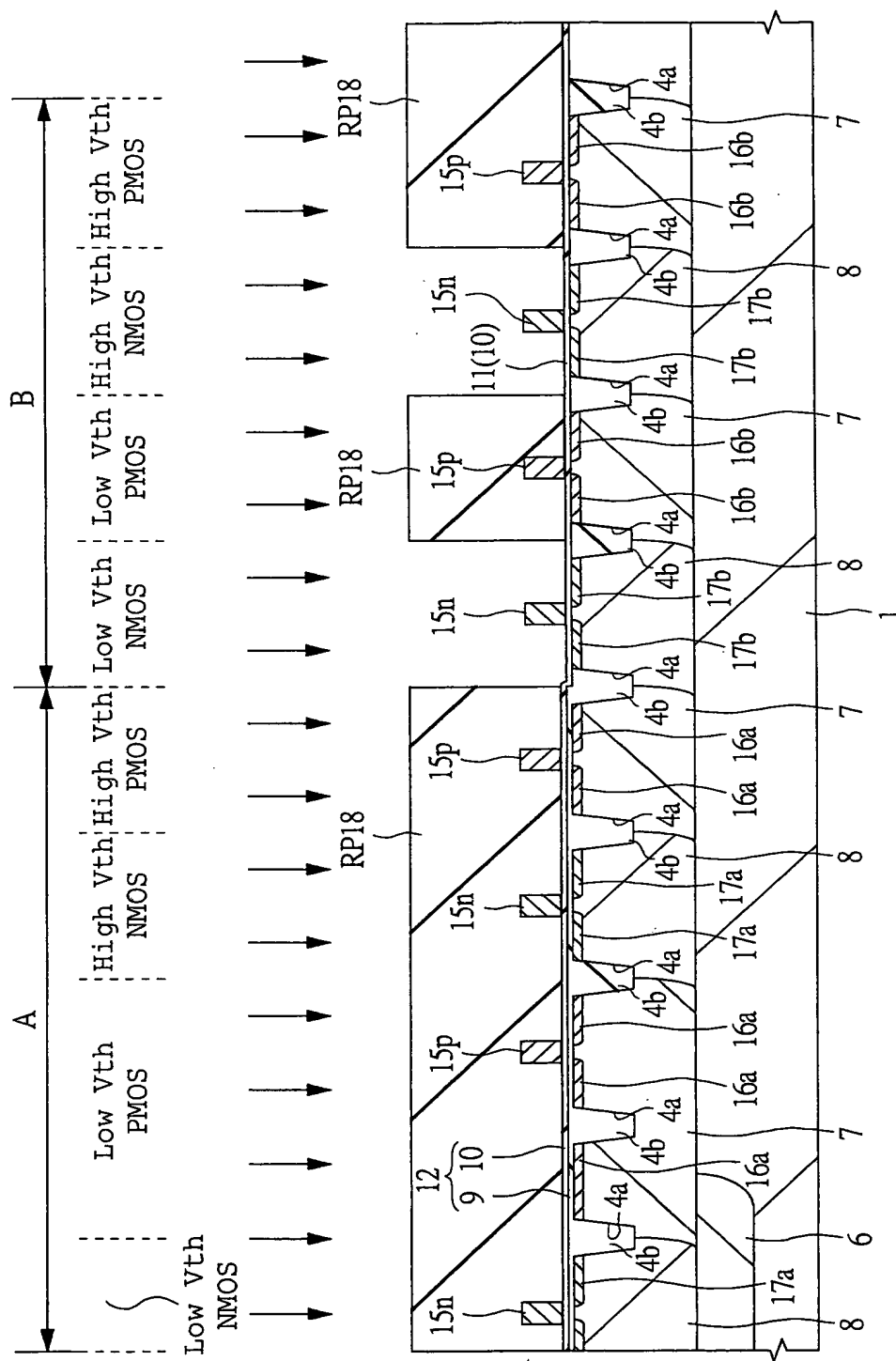


FIG. 33

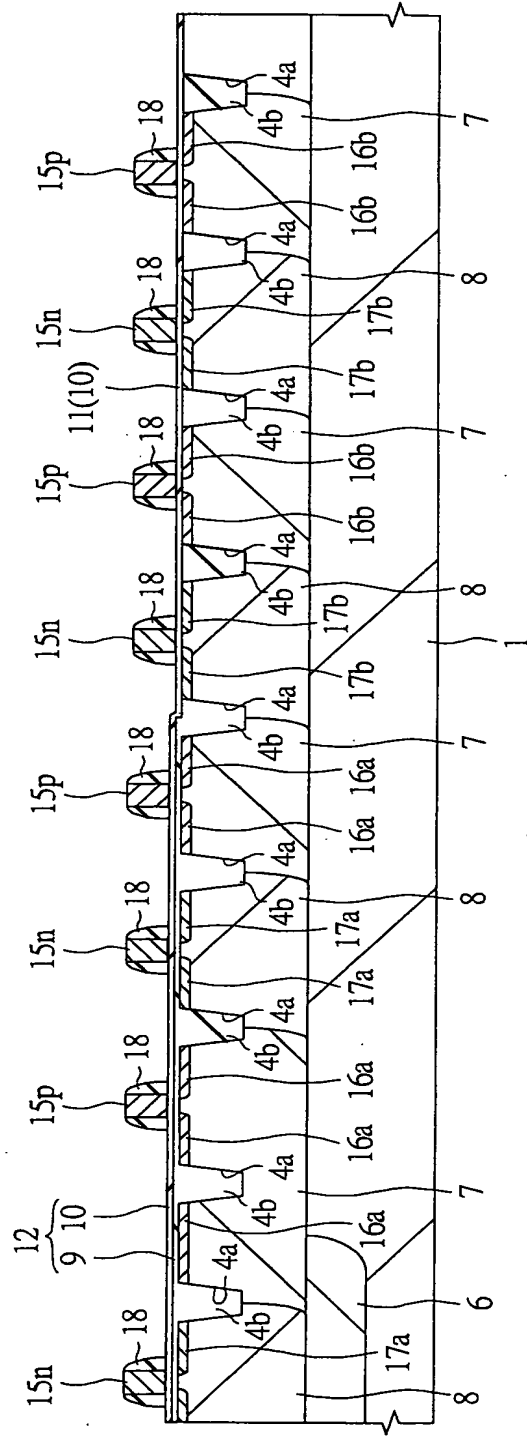
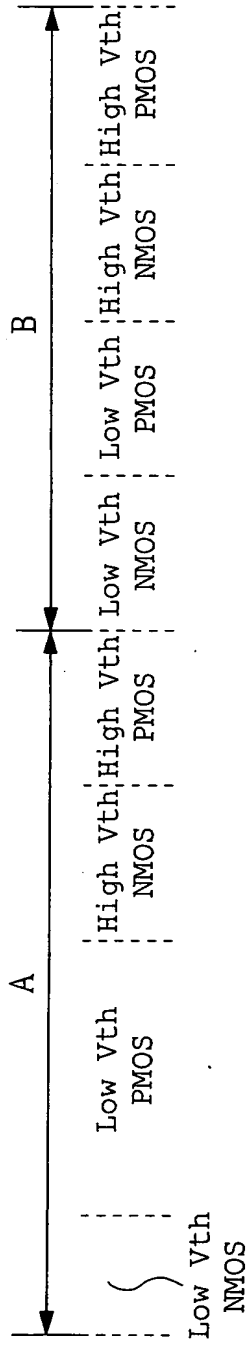


FIG. 34

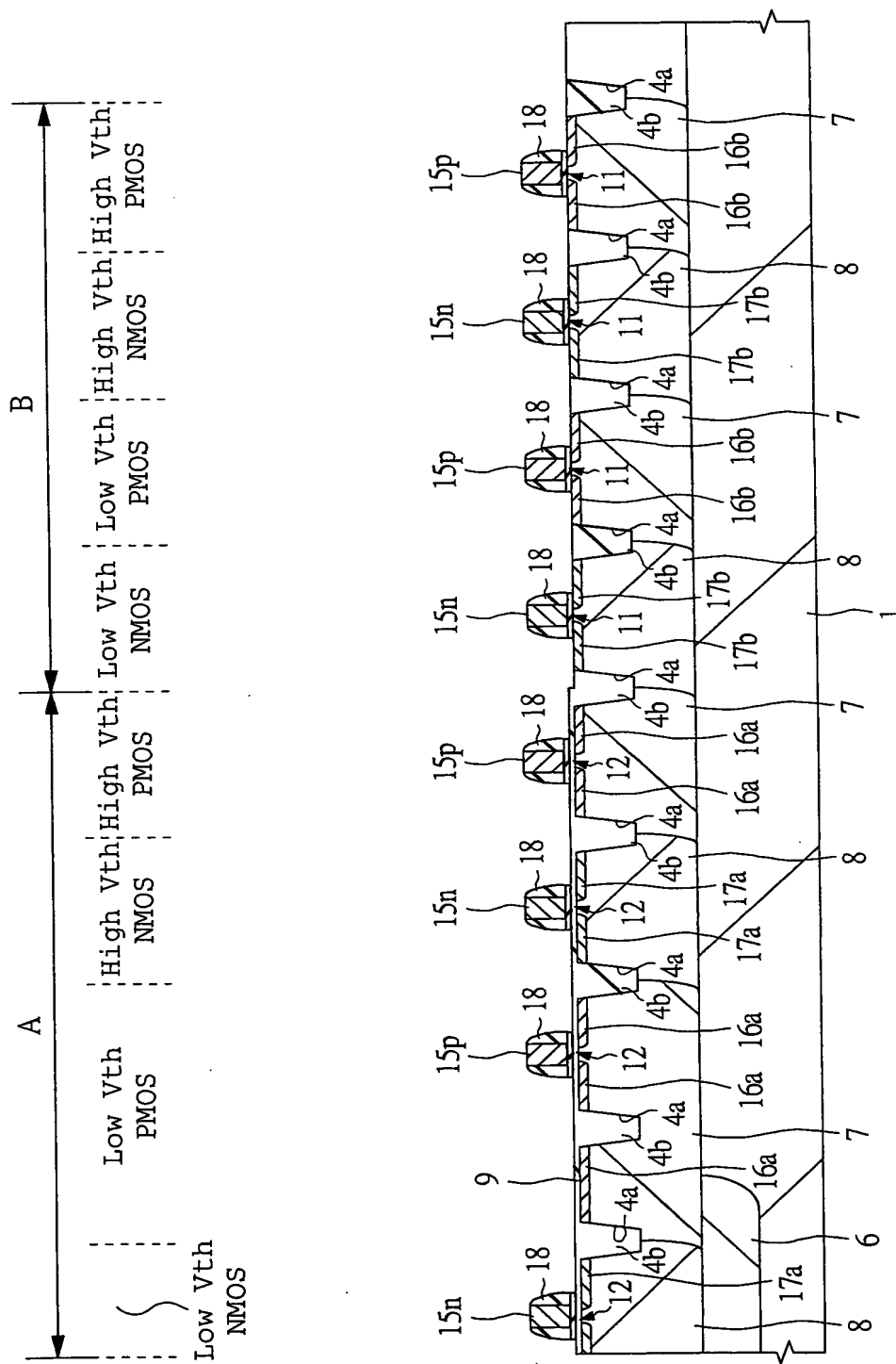


FIG. 35

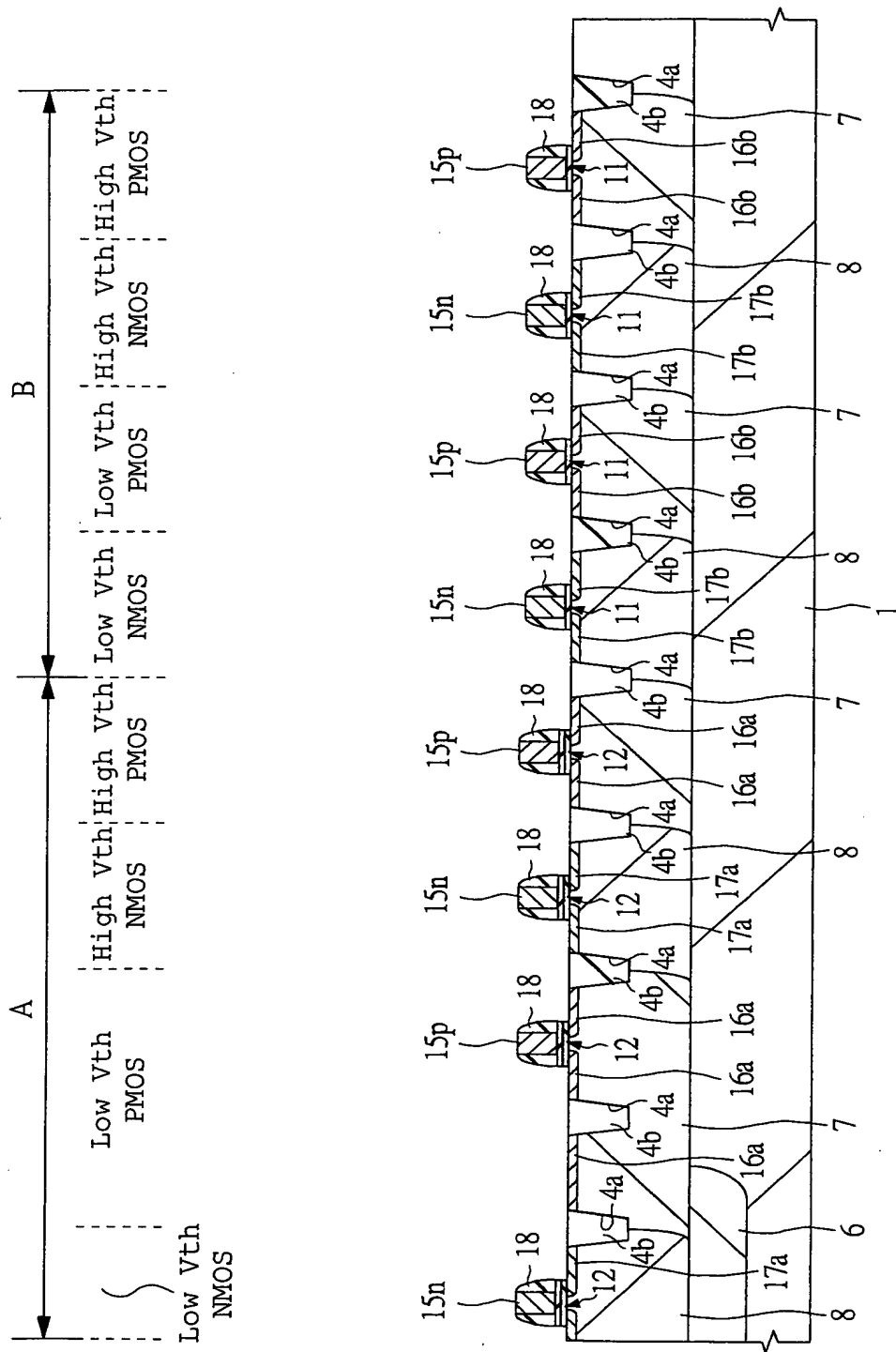


FIG. 36

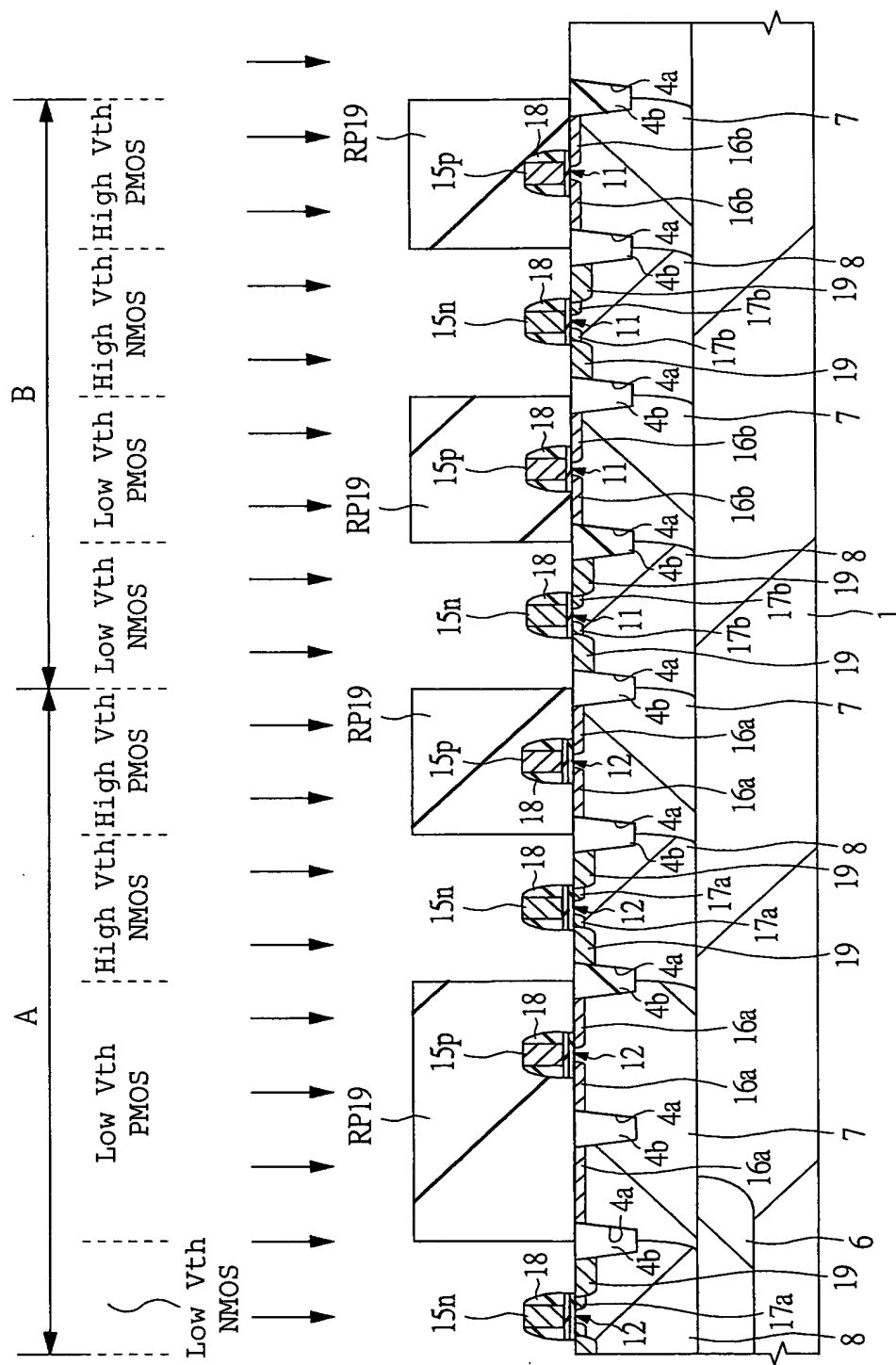
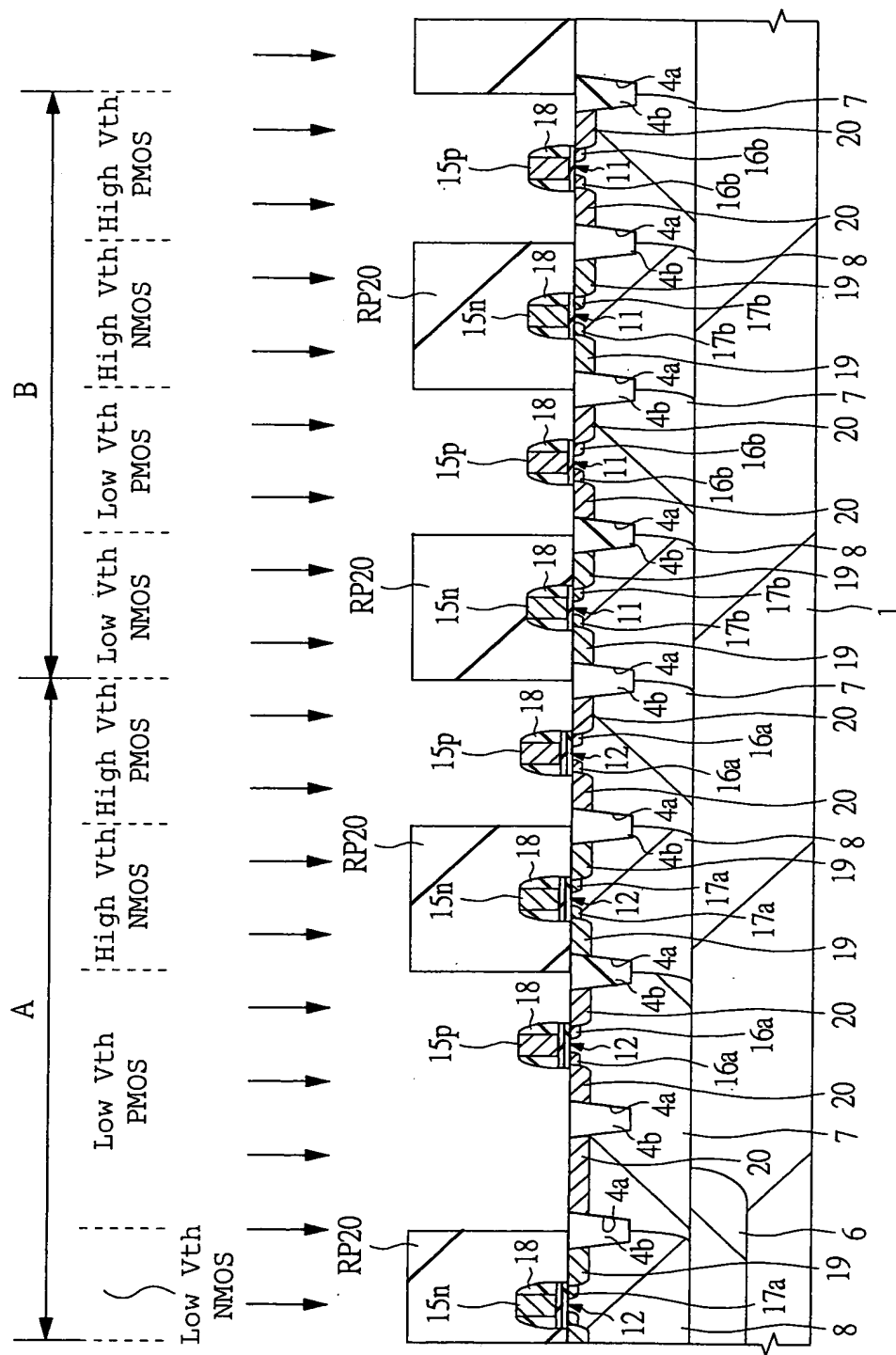
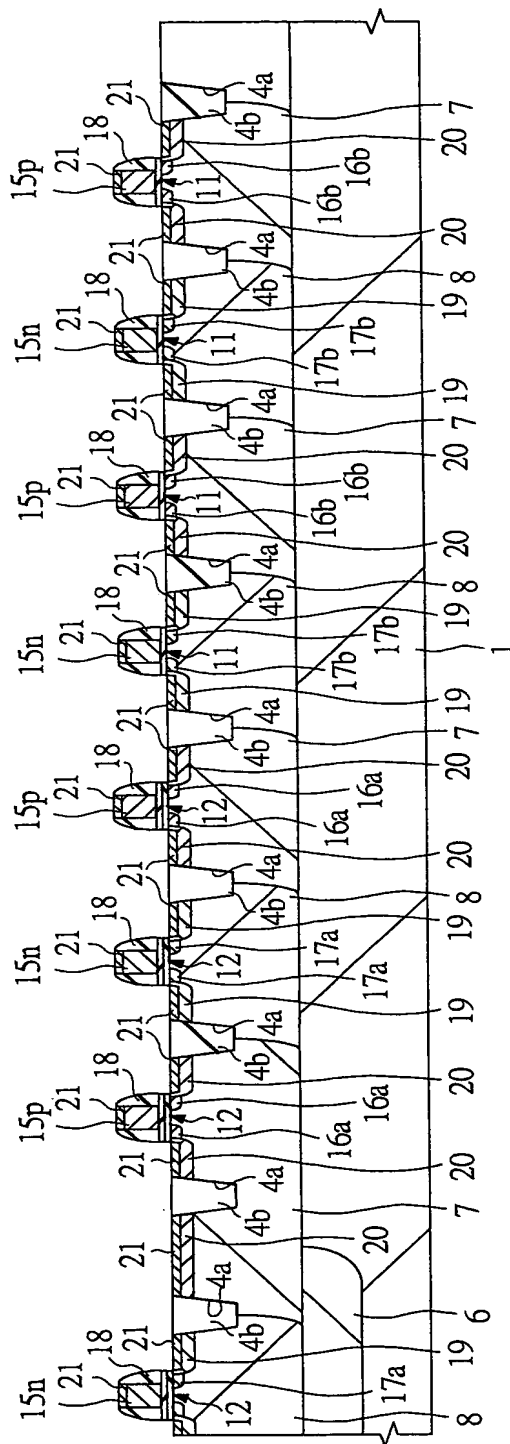


FIG. 37



[illegible]

Timing diagram for a 2-stage CMOS inverter chain. The diagram shows two input signals, A and B, and their corresponding output signals. Signal A is a square wave with a period of 2 units. Signal B is a square wave with a period of 2 units, shifted by 1 unit relative to A. The output of the first stage (A) is a square wave with a period of 2 units, shifted by 1 unit relative to A. The output of the second stage (B) is a square wave with a period of 2 units, shifted by 1 unit relative to B. The diagram illustrates the propagation delay and the relationship between the input and output signals.

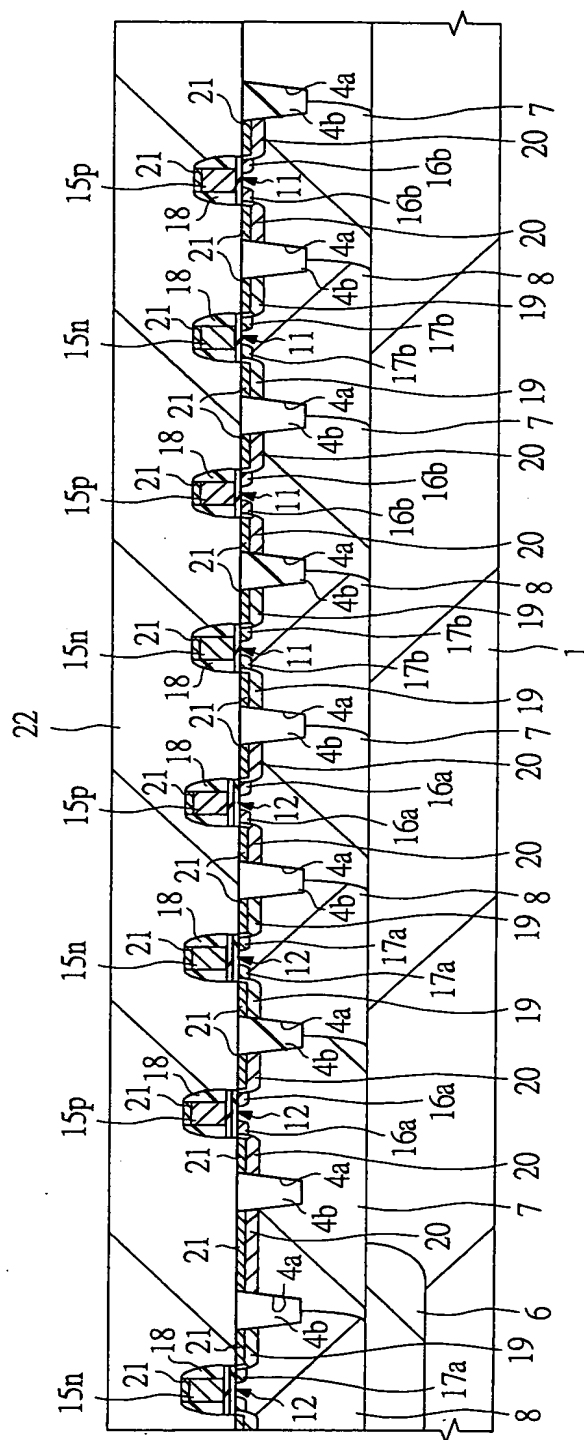


FIG. 40

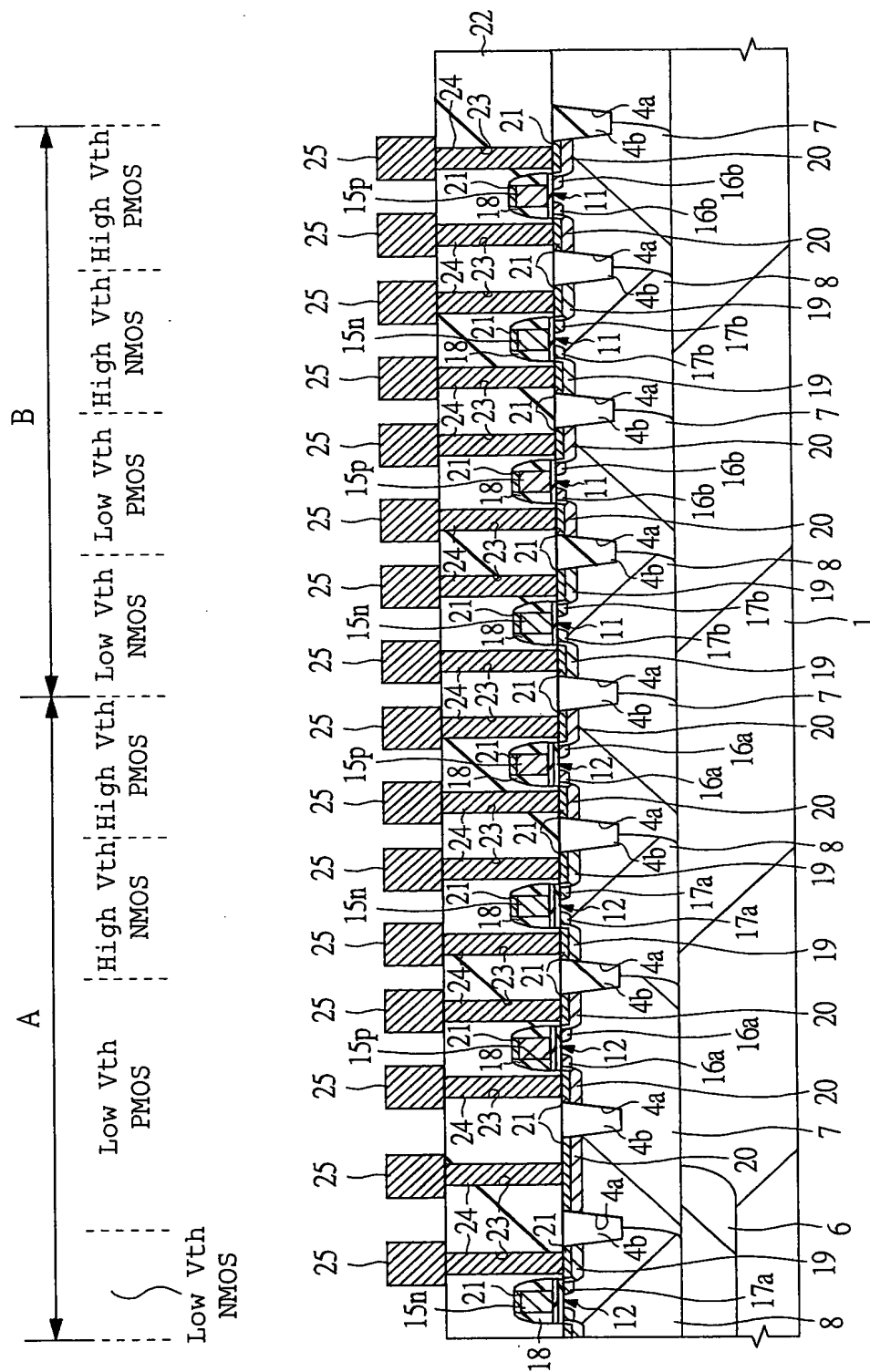


FIG. 41

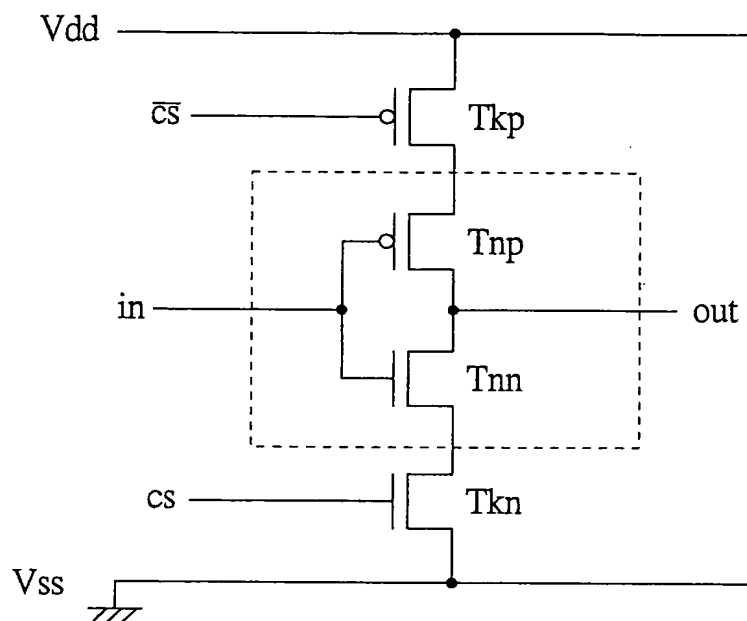


FIG. 42

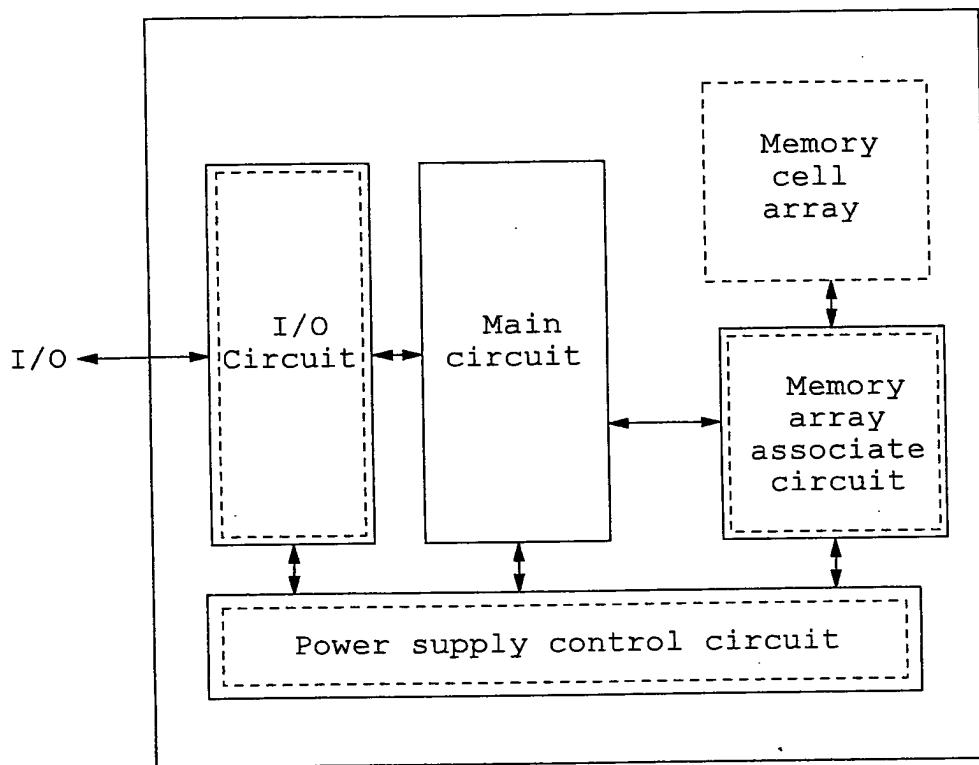


FIG. 43

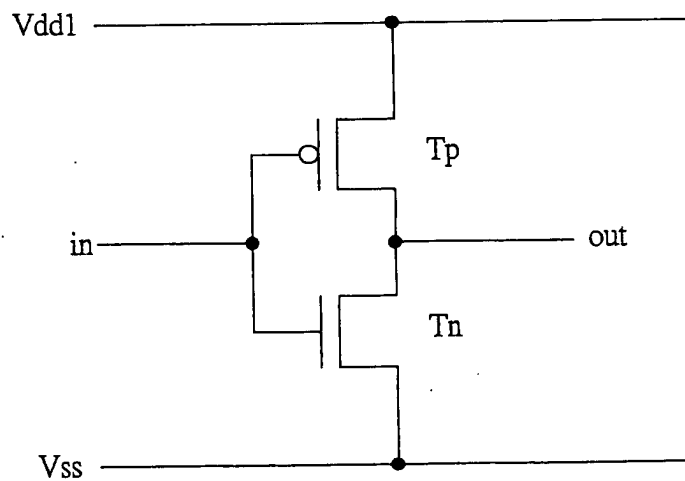




FIG. 44

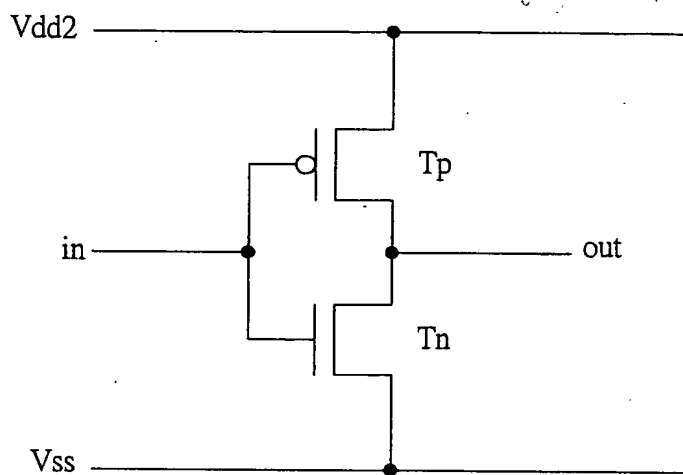
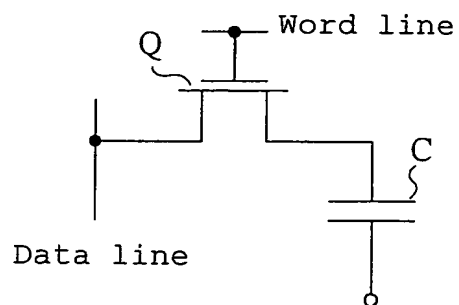


FIG. 45





THIS PAGE BLANK (USPTO)